

LHC アップグレードに向けた 新プロセスを用いたASIC開発について

名古屋大学 M2

高エネルギー物理学研究室

志知 秀治

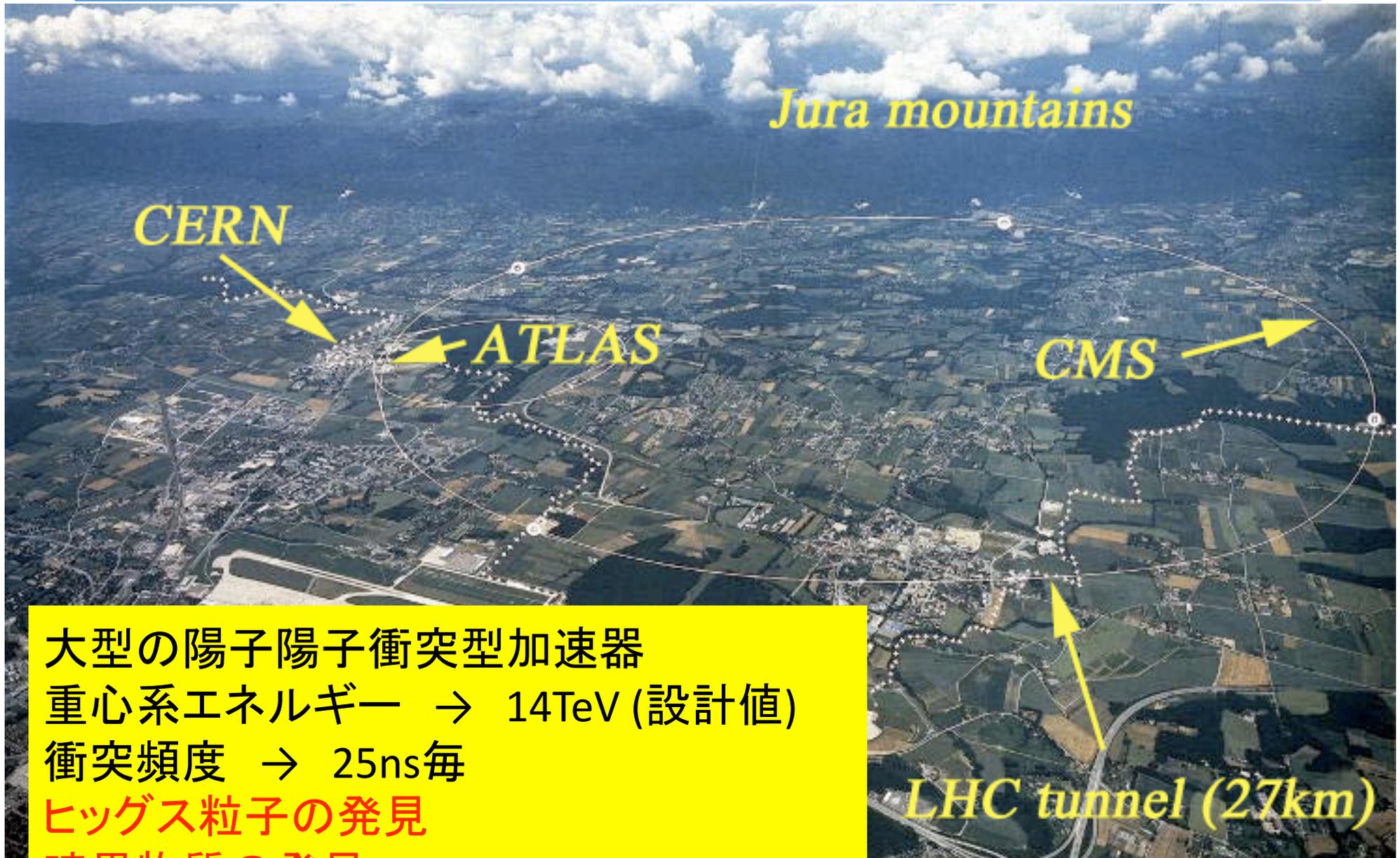
LHC-ATLAS実験

- トリガー用飛跡検出器 TGC (Thin Gap Chamber)
- 必要となるASICの性能
- 開発の背景

ASIC

- 構造
- PLL (Phase Locked Loop)
- シミュレーション結果

まとめと今後

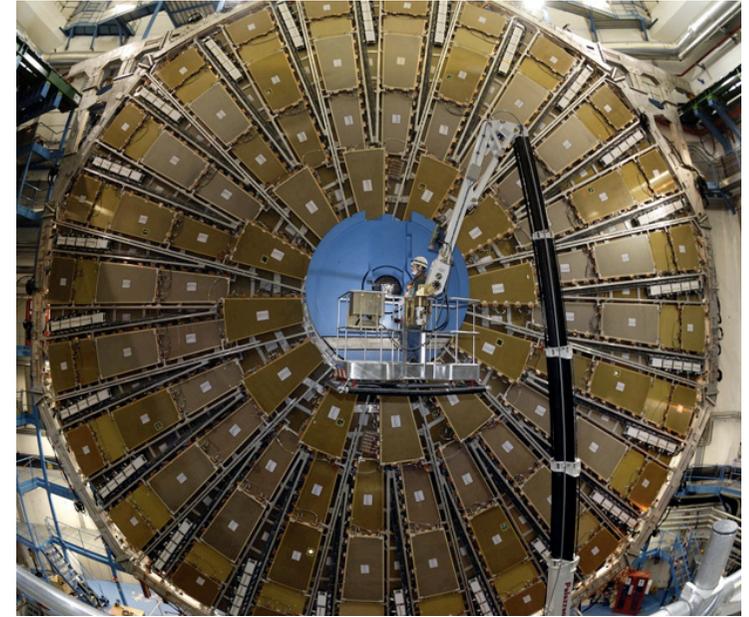
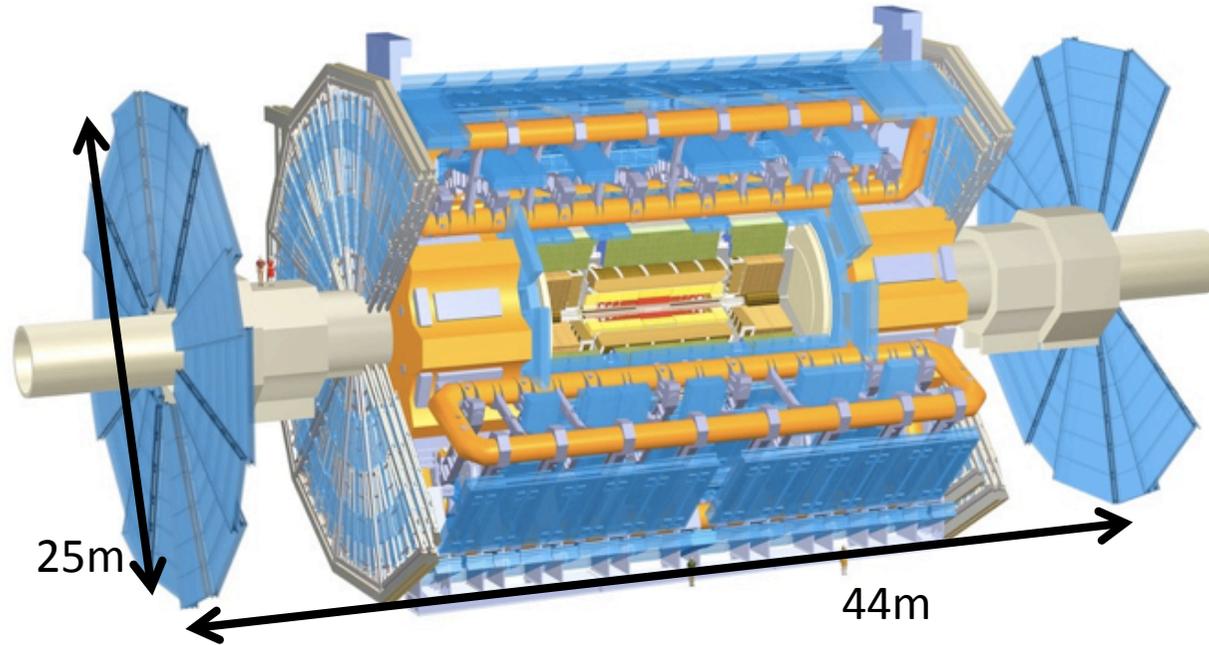


大型の陽子陽子衝突型加速器
重心系エネルギー → 14TeV (設計値)
衝突頻度 → 25ns毎
ヒッグス粒子の発見
暗黒物質の発見

LHC tunnel (27km)

ATLAS-TGC

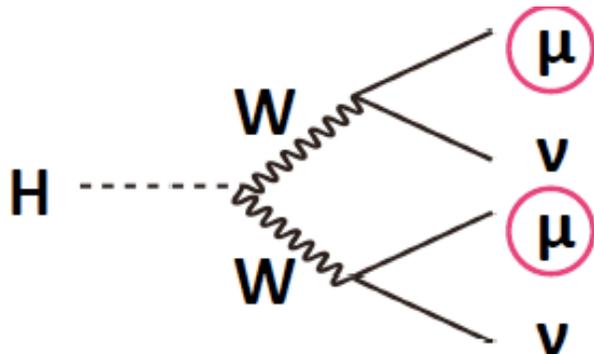
4



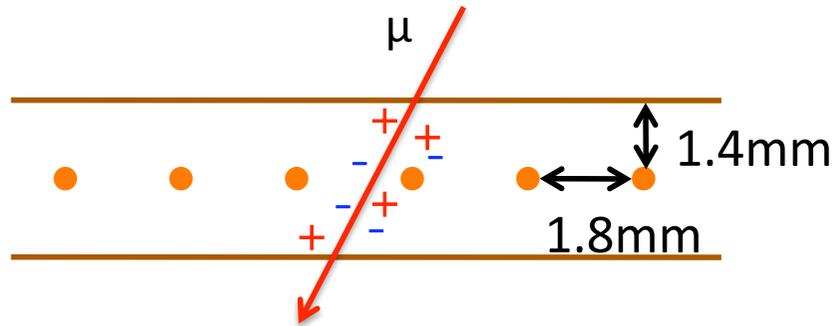
ATLASでのヒッグス探索 → 約4億回に1回ヒッグス生成

→ 事象選別が鍵

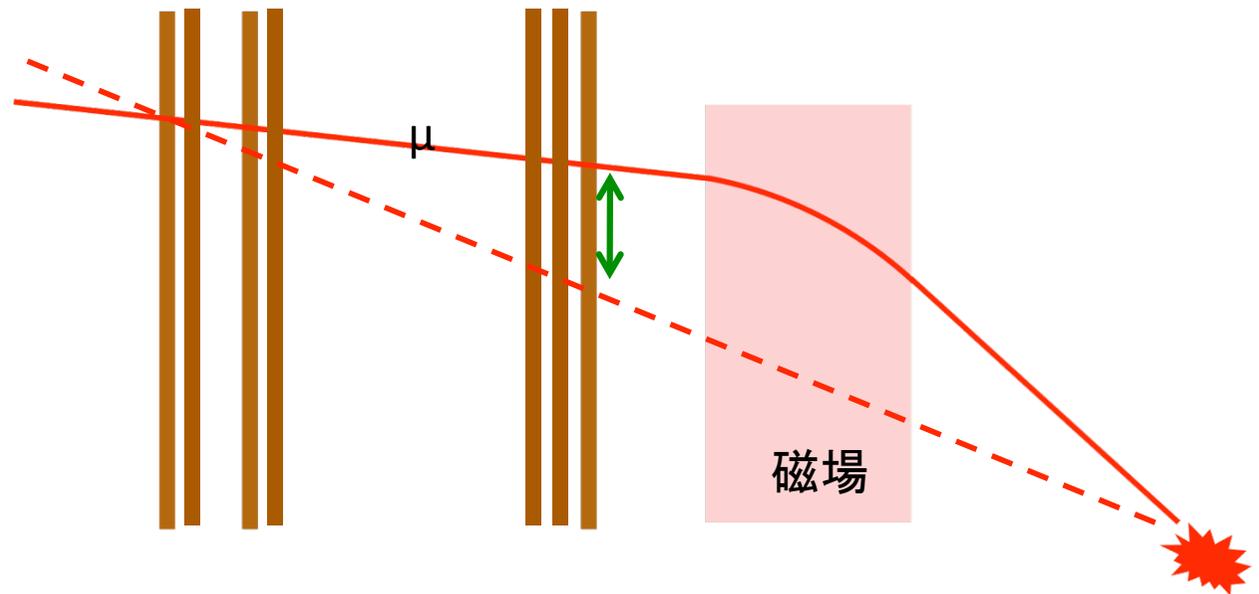
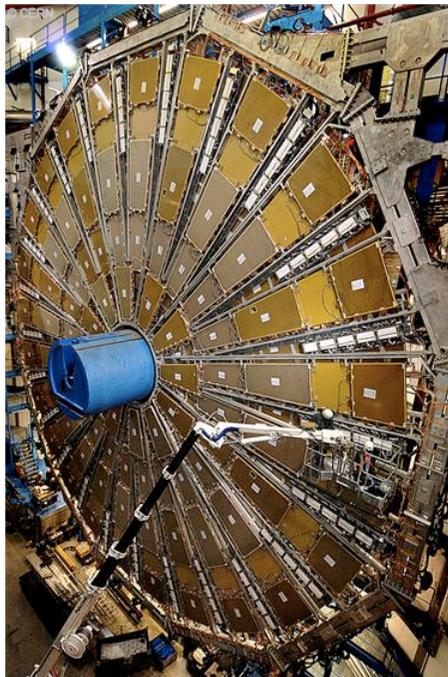
→ 高運動量ミュオンを用いる



→飛跡検出器を用いて運動量から事象選別する



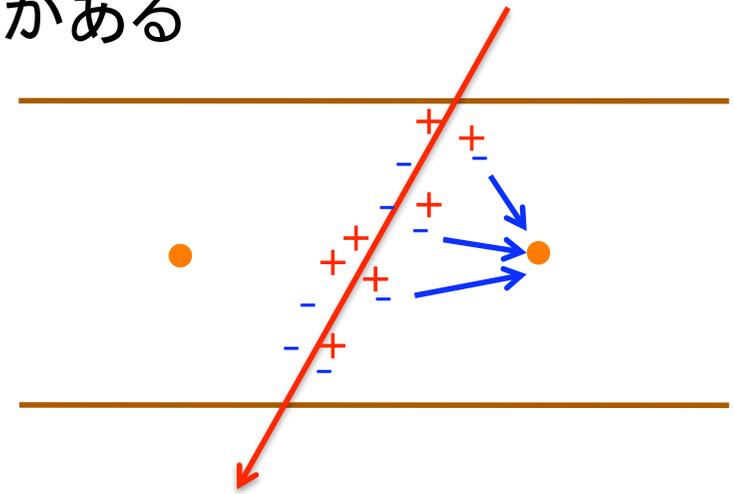
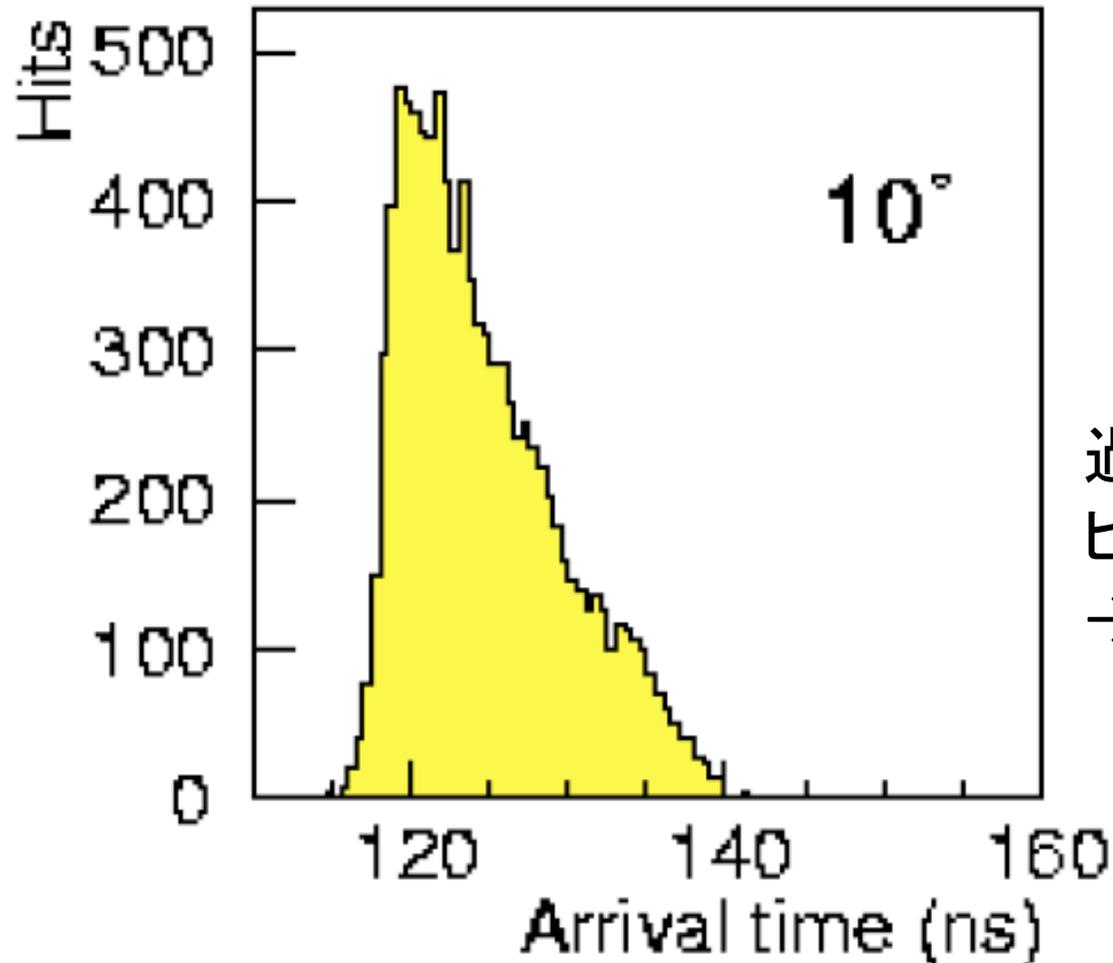
荷電粒子の通過によってイオン化された電子を電場をかけてワイヤーに集める



→磁場による曲率から、運動量を算出し事象選別に用いる

TGCの読み出しの特徴

→粒子の通過から読み出しまでに時間幅がある
(主にTGC中のドリフト時間によるもの)



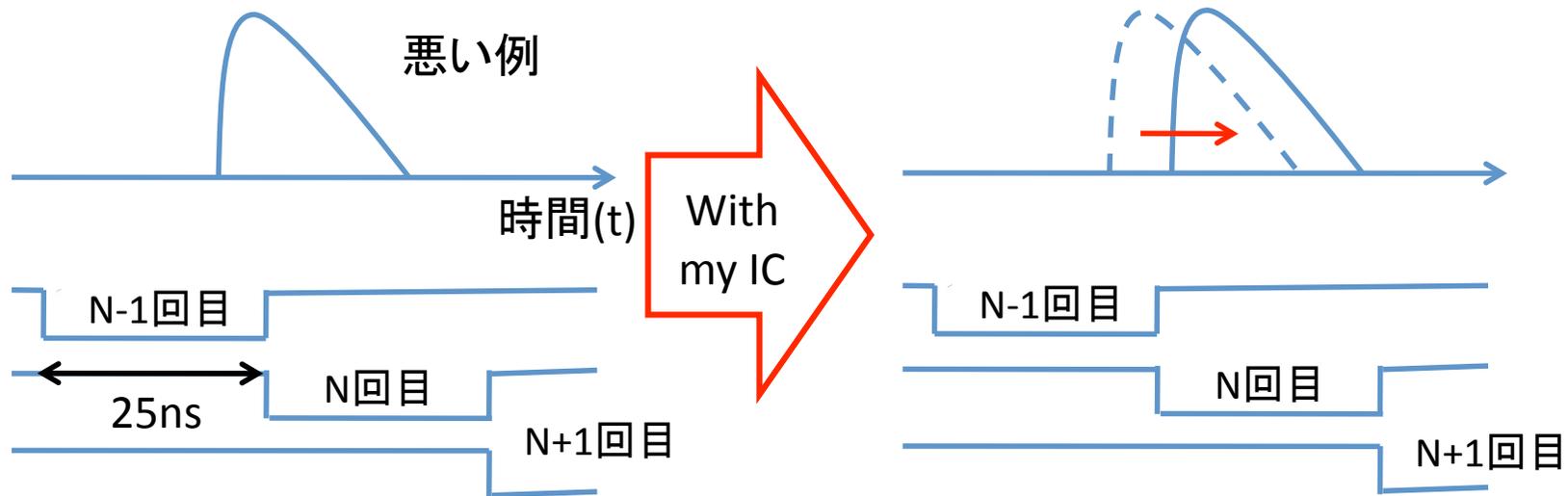
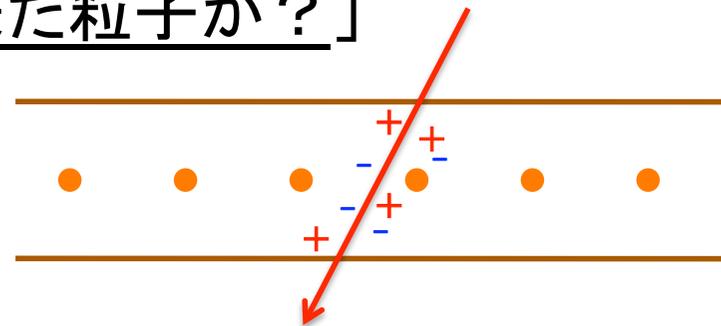
過去に行われた π 粒子
ビームテストの結果
→読み出し時間で25ns程度の
時間幅を持つ

ASICに要求する性能

7

→ATLAS実験では、「何回目の衝突から来た粒子か？」
を正確に把握することが重要

Chamber中のドリフト時間やTOFの差で、
到来時間に幅がある

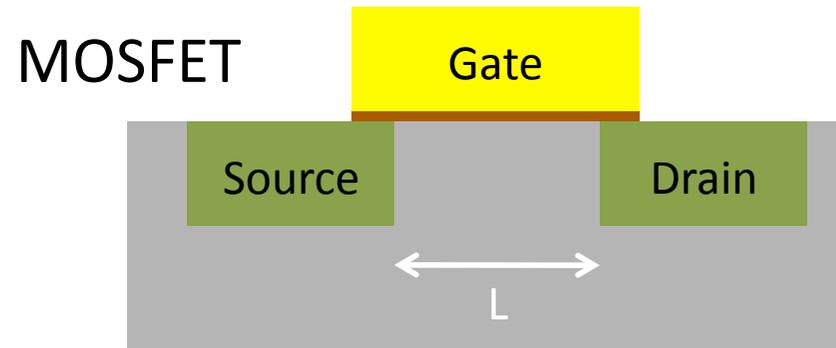


理想値から遅延時間が1nsずれると信号を2%程度ロスする

1n秒以下の精度を持つ可変遅延回路(0ns~25ns)を備えたICが必要

すでに現行のASICはある、が。。。

- 2020年のアップグレードでASICを交換予定
→ルミノシティ: 5×10^{34} まであがる
- より衝突点に近い位置にTGCを設置予定
→より放射線耐性のあるASICが必要

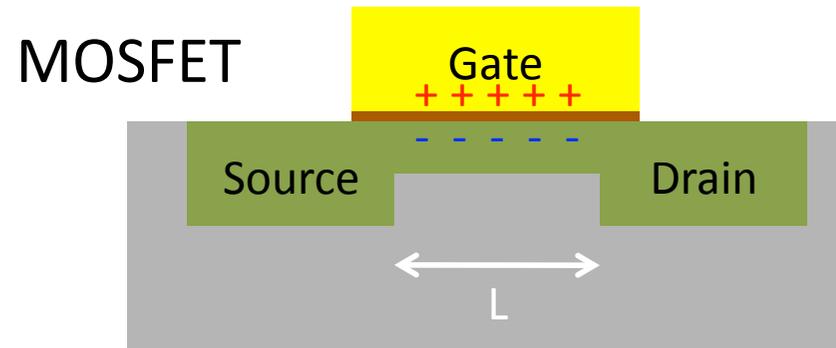


- 新しいプロセスにしても同様に動くかどうか？を
シミュレーションして確かめる(今回の発表はここまで)
- 最終的には放射線耐性がどの程度あるかをテストする

(MOSFET : Metal Oxide Semiconductor Field Effect Transistor)

すでに現行のASICはある、が。。。

- 2020年のアップグレードでASICを交換予定
→ルミノシティ: 5×10^{34} まであがる
- より衝突点に近い位置にTGCを設置予定
→より放射線耐性のあるASICが必要



→デジタル的にはスイッチ
アナログ的には電流調整素子

→新しいプロセスにしても同様に動くかどうか？を

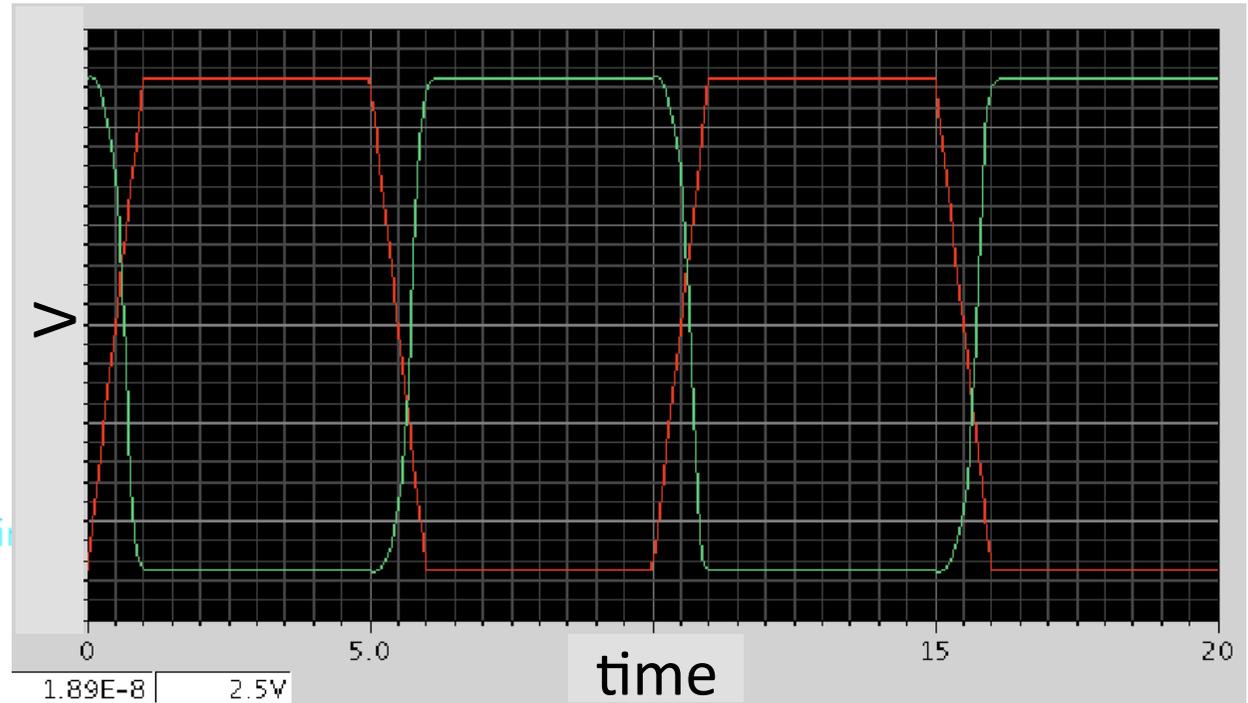
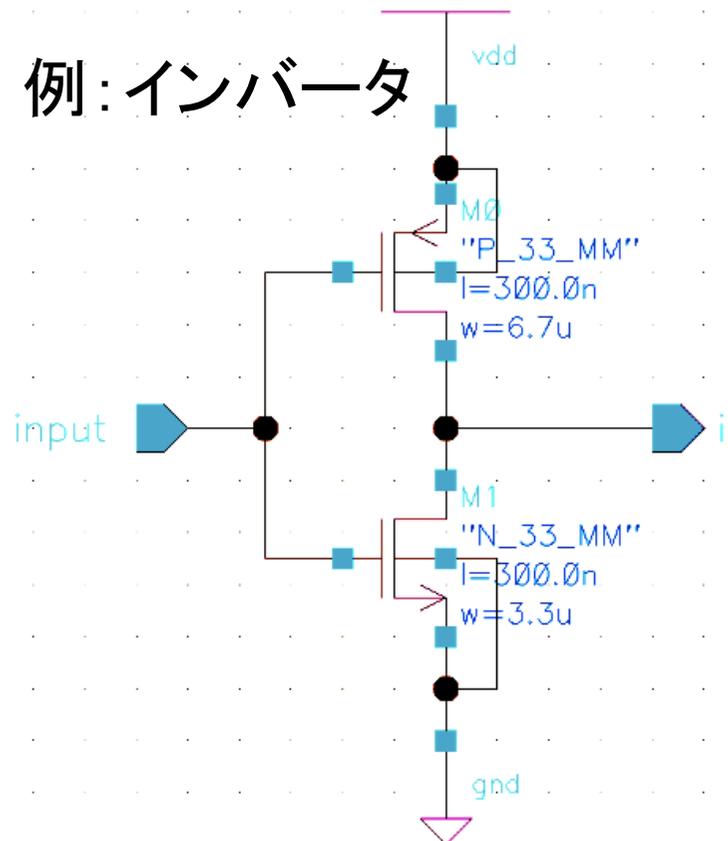
シミュレーションして確かめる(今回の発表はここまで)

→最終的には放射線耐性がどの程度あるかをテストする

(MOSFET : Metal Oxide Semiconductor Field Effect Transistor)

CADを用いて回路図を書き、
Hspiceというシミュレータを用いて過渡解析などを行う

例：インバータ



赤：input

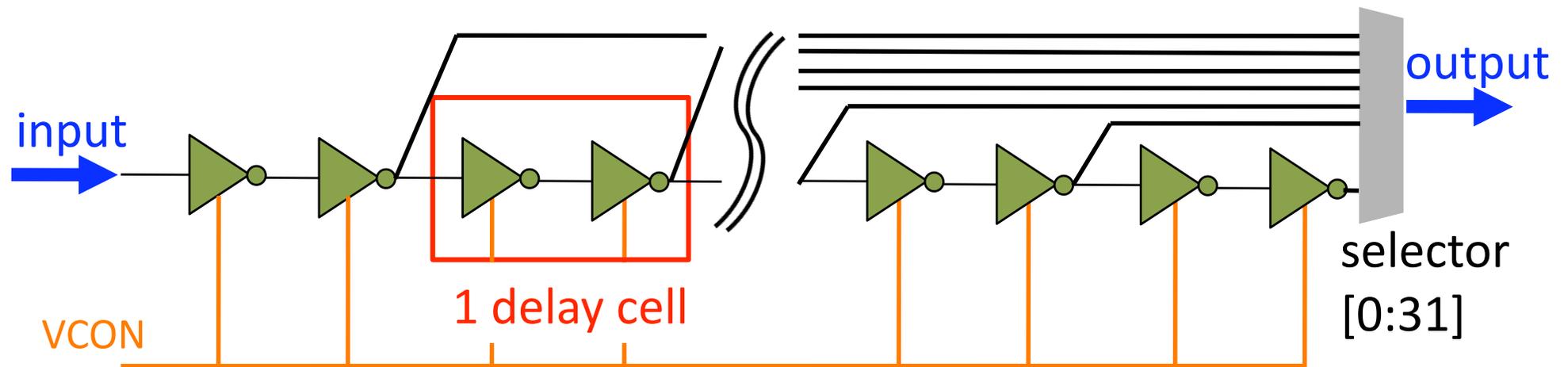
緑：output

→反転信号を出すデジタル回路

これを用いて伝播時間や立ち上がり時間などを測定する
→自分が欲しい性能を満たしていればレイアウトに進む

遅延回路の構造

11



遅延するための作戦

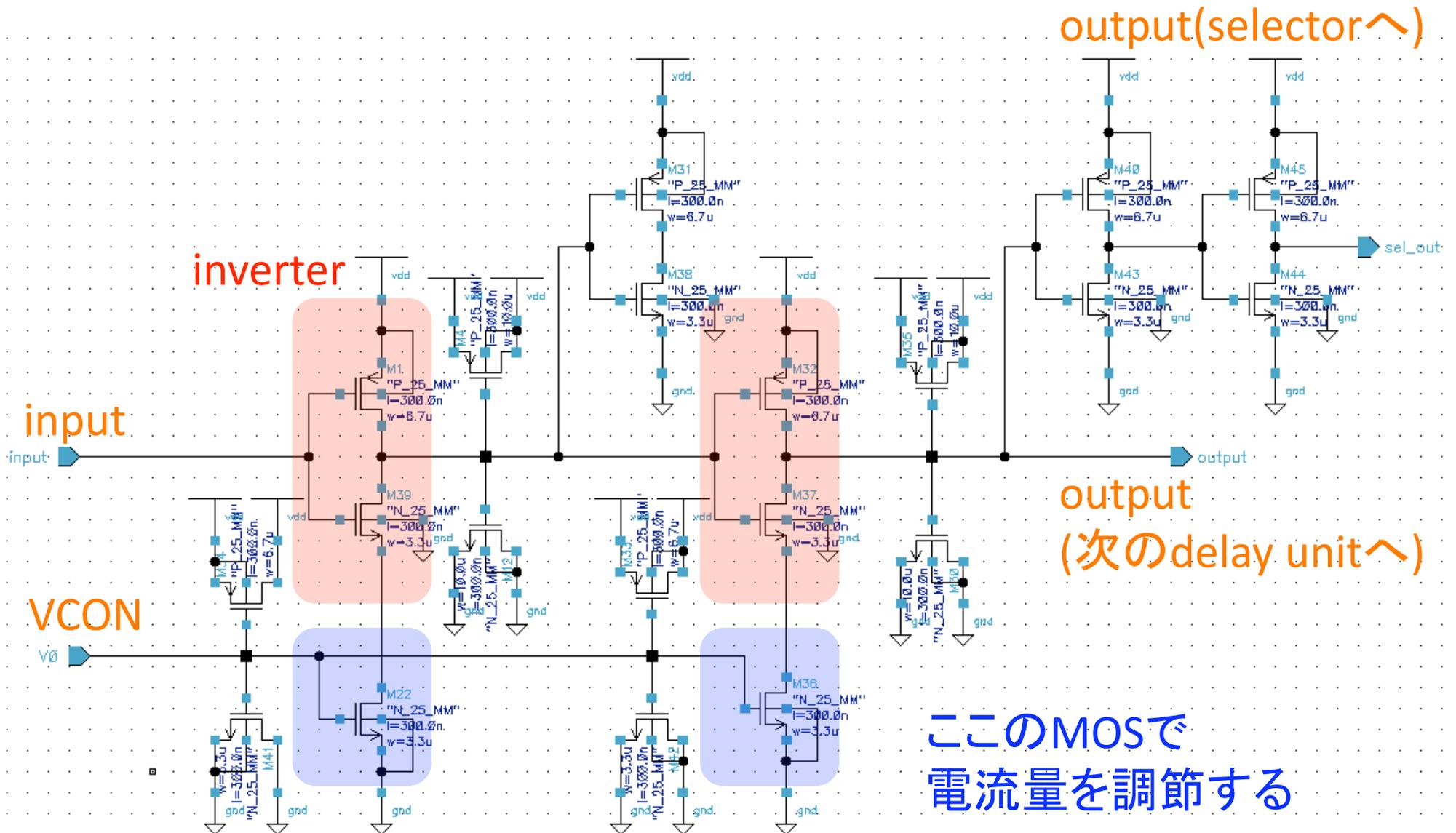
Inverter2つを1unitとしたディレイ回路を32個並べる

→32個合わせて25nsの遅延になるようにVCONを調整する

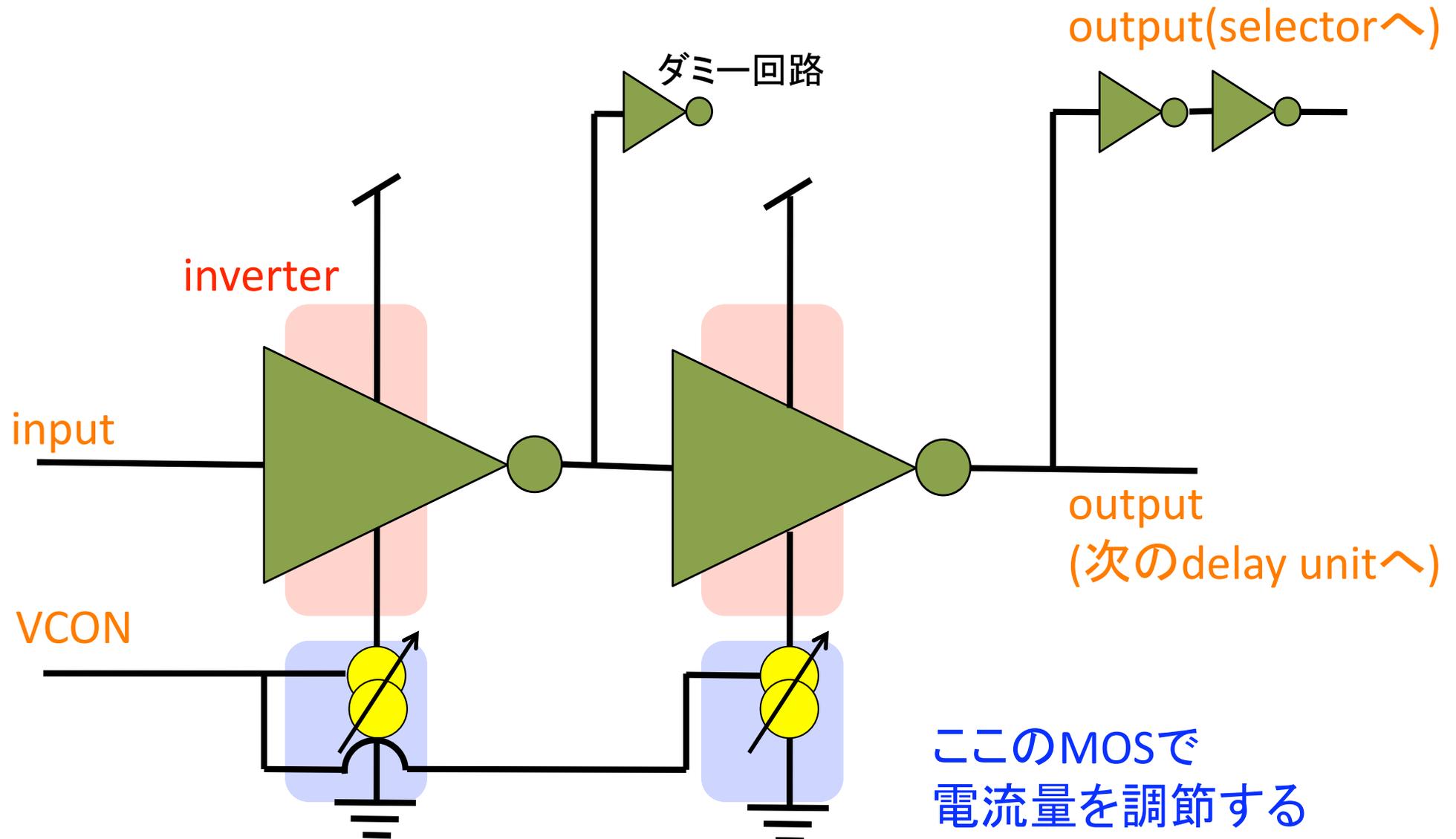
→32個中どこのunitを通過した後で取り出すかによって

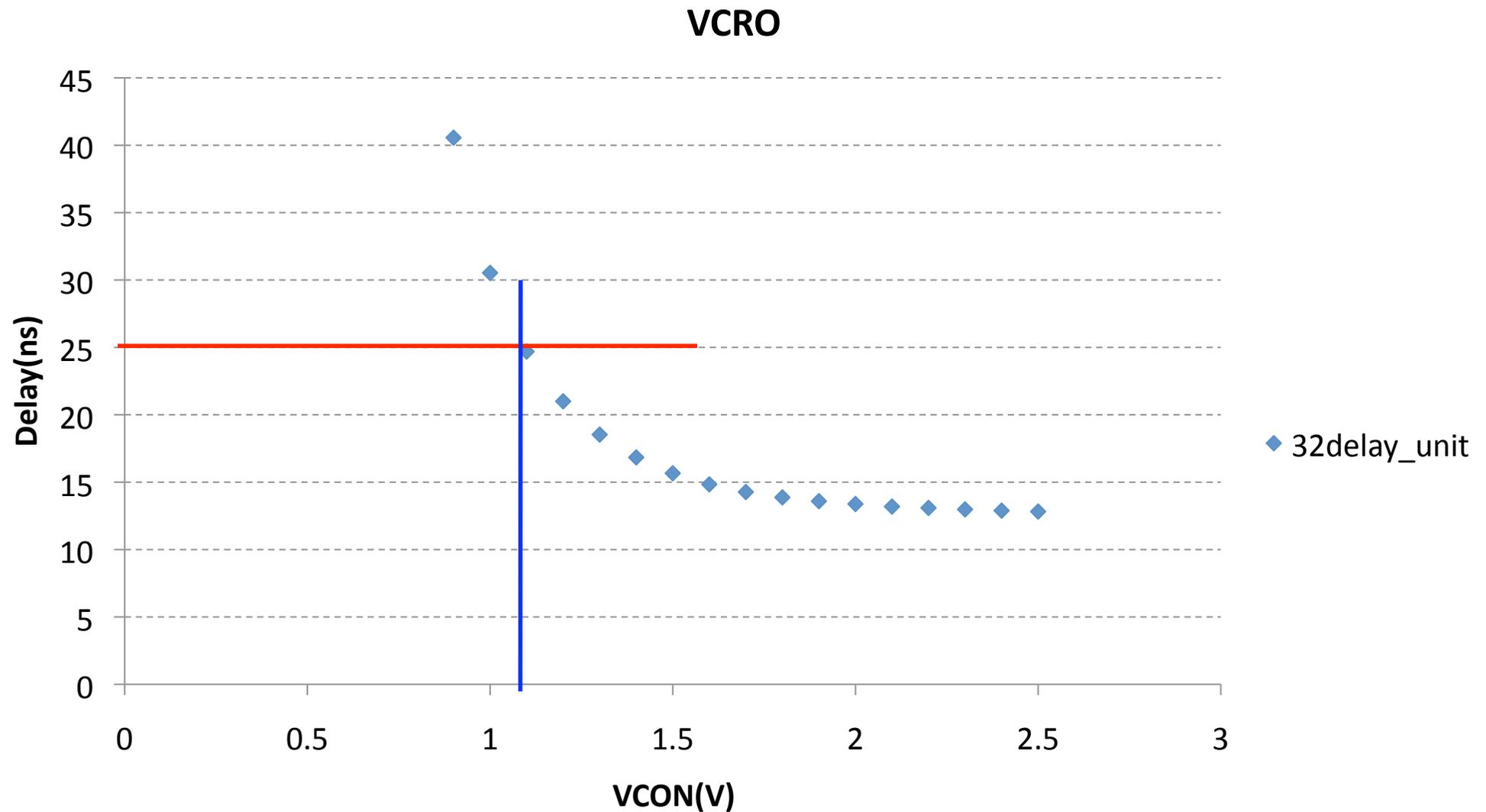
25ns/32 (<1n秒)の遅延精度が実現!

VCONの調整で遅延時間が調整可能



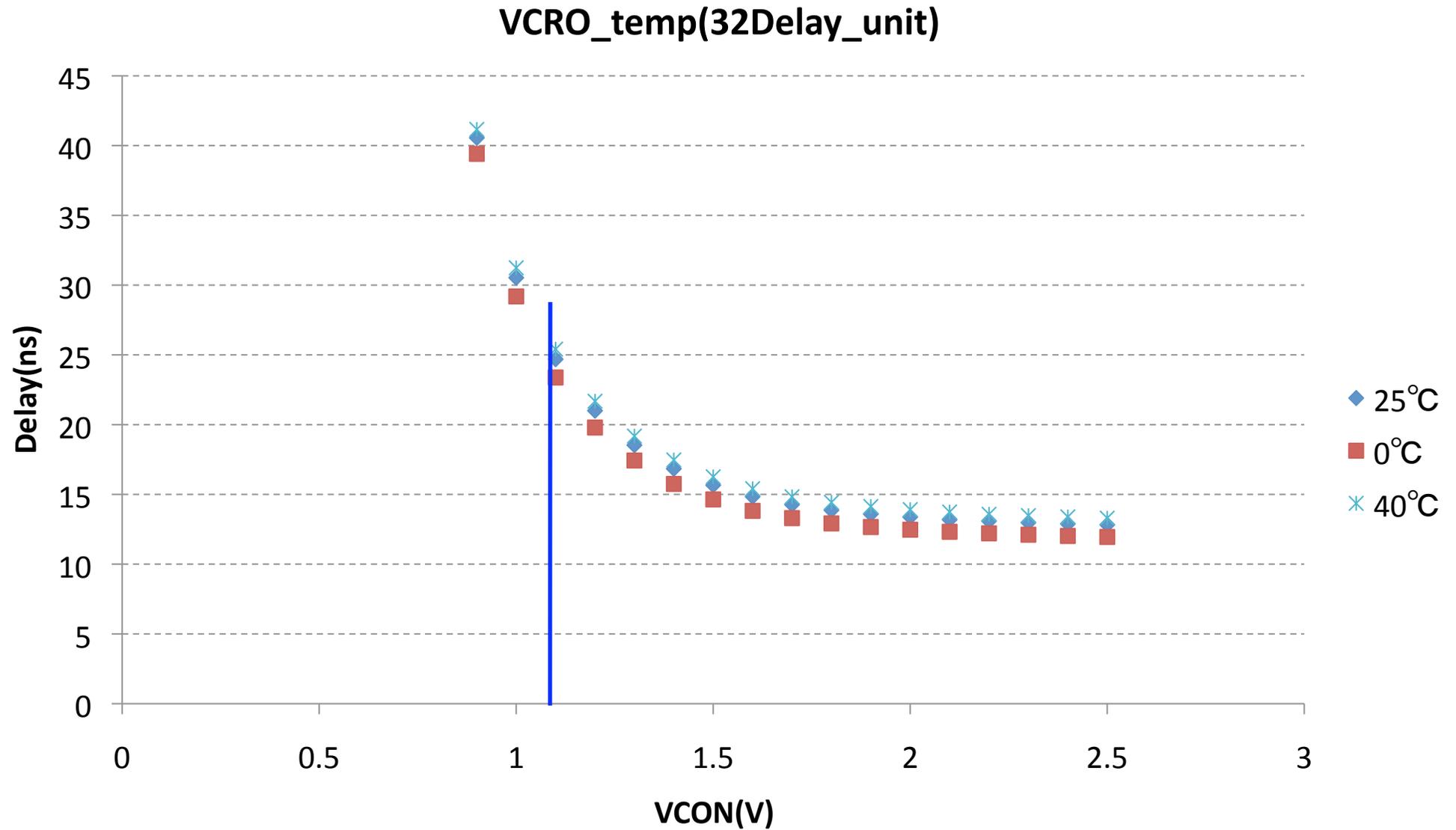
VCONの調整で遅延時間が調整可能





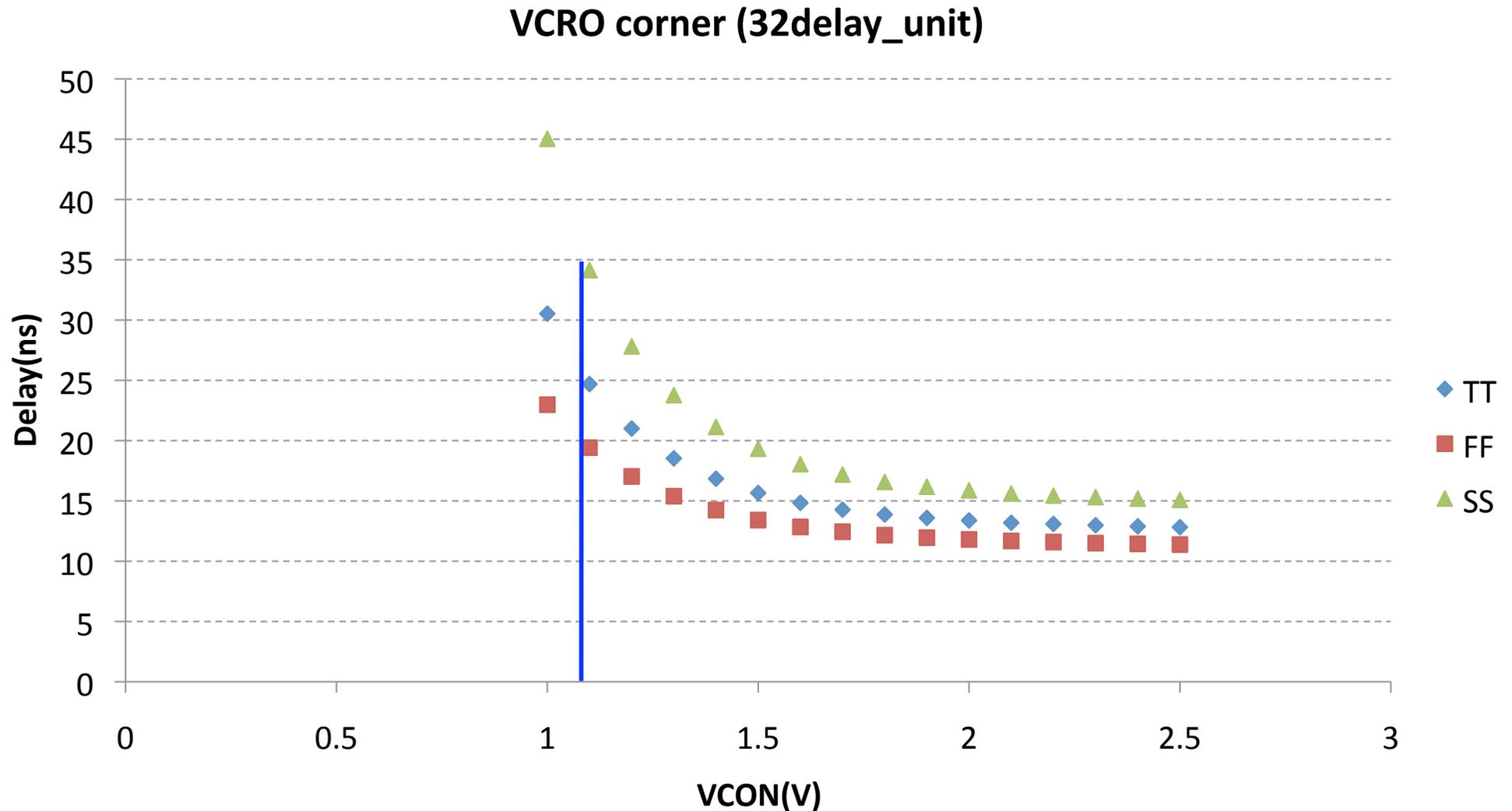
VCROをだいたい1.1Vに固定しておけば遅延時間を保証できる??

温度差による遅延時間のずれ



→最大で1ns程度の遅延時間差！

製造誤差による遅延時間のずれ

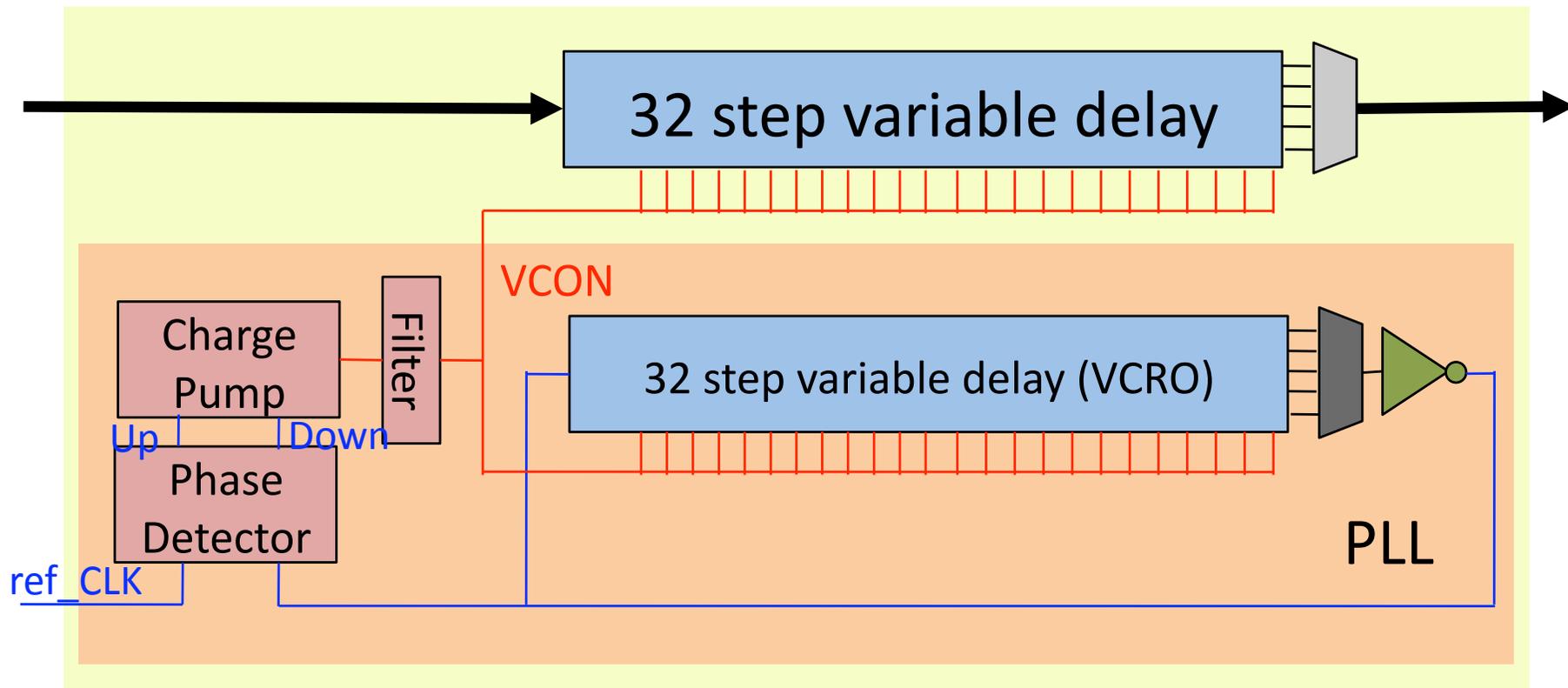


VCONの値は固定値ではダメ

→VCONの監視役としてPLLを使う！！

PLL (Phase Locked Loop)

17



PLLの動作原理

遅延回路+inverterで発振回路を作る

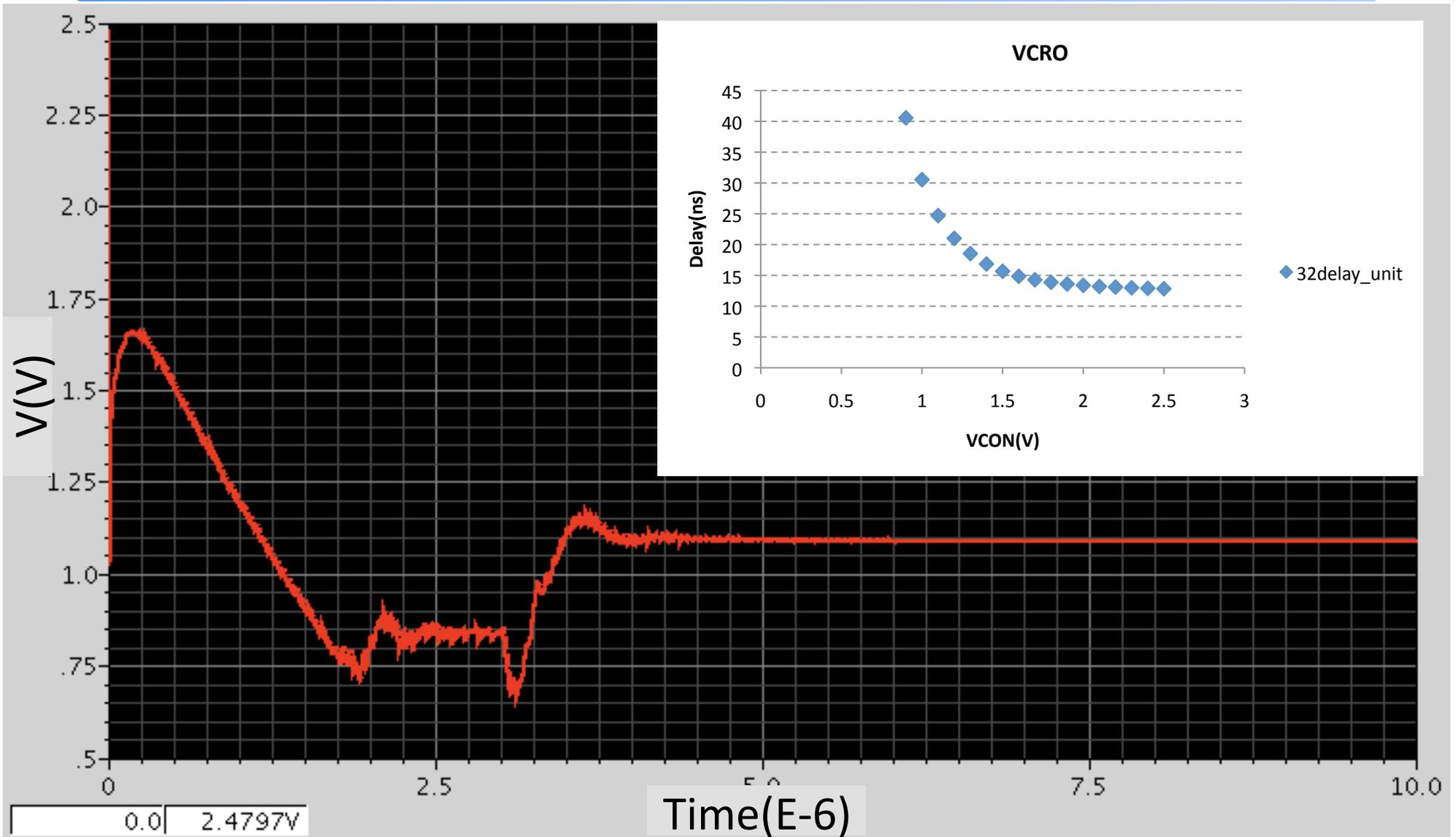
→発振回路とある周波数のCLKの立ち下がりの時間差を計る

→時間差に応じて、VCONを上げ下げする

遅延時間の保証されたdelay unitの完成

(温度、製造誤差の影響なく、一定の遅延時間)

PLLシミュレーション結果

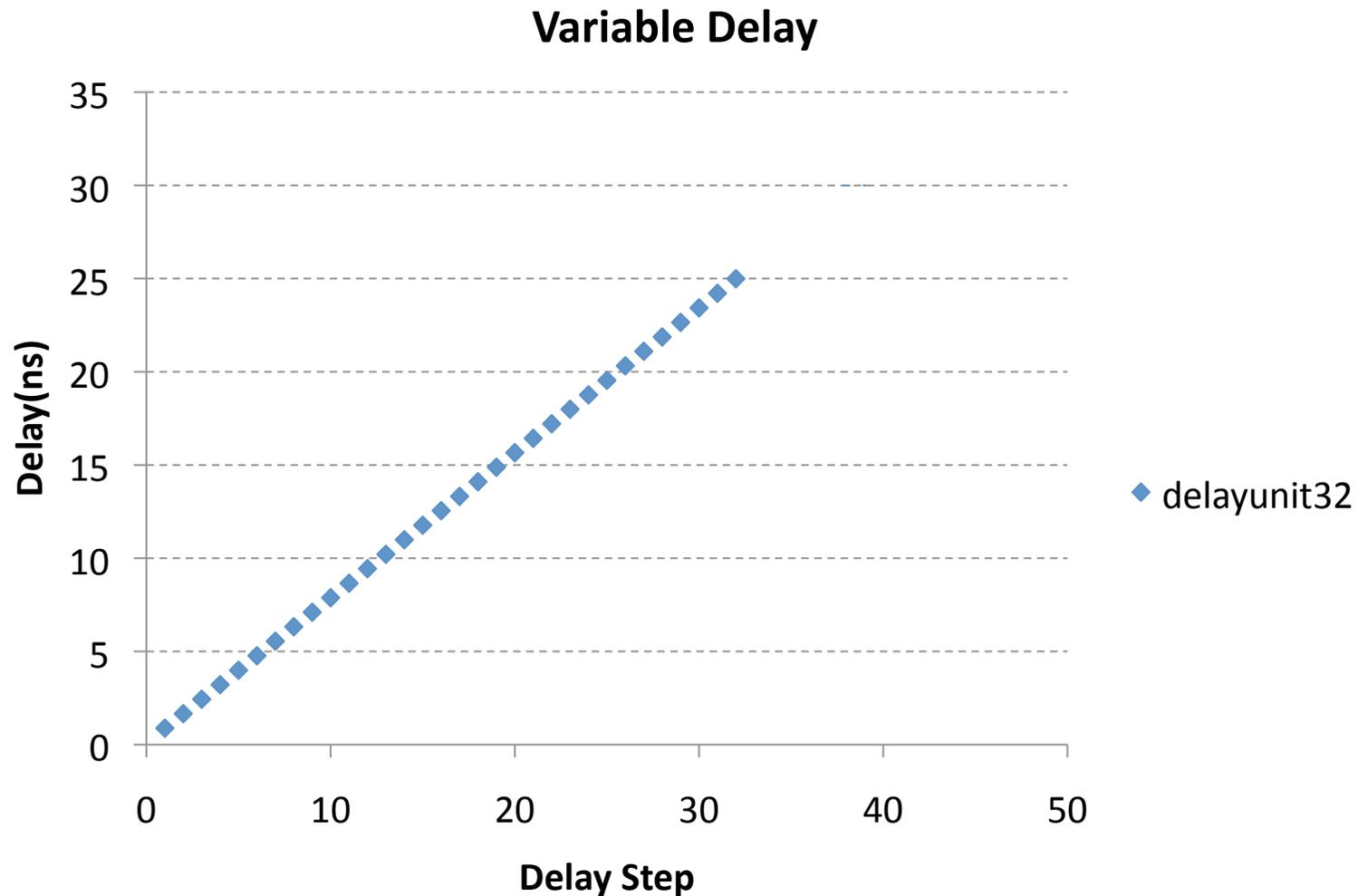


赤:VCON

全体のdelayが25nsになる値での収束(ロック)を確認

遅延回路シミュレーション結果

19



1n秒以下の精度を持つ可変遅延回路(0ns~25ns)の完成

2020年のアップグレードに向けたASICの作成

→シミュレーションで動作を確認

- 1ns以下での遅延精度

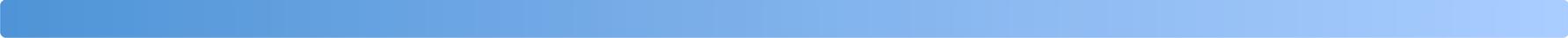
- 0~25nsの遅延範囲

→十分な性能を確認

回路作成を終え、レイアウト発注

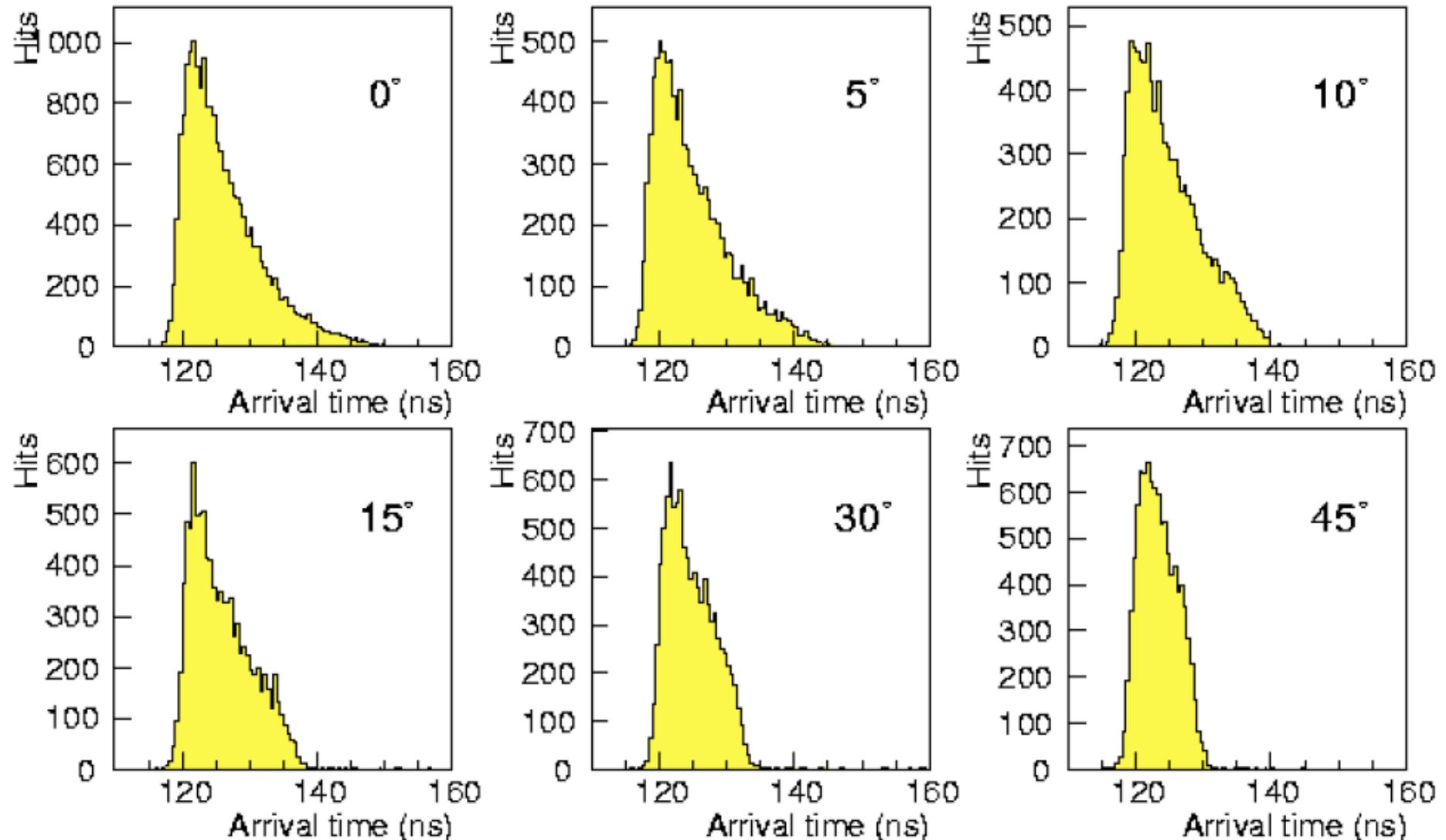
→8月末レイアウト完了 →9月末完成

→動作テスト、放射線テスト

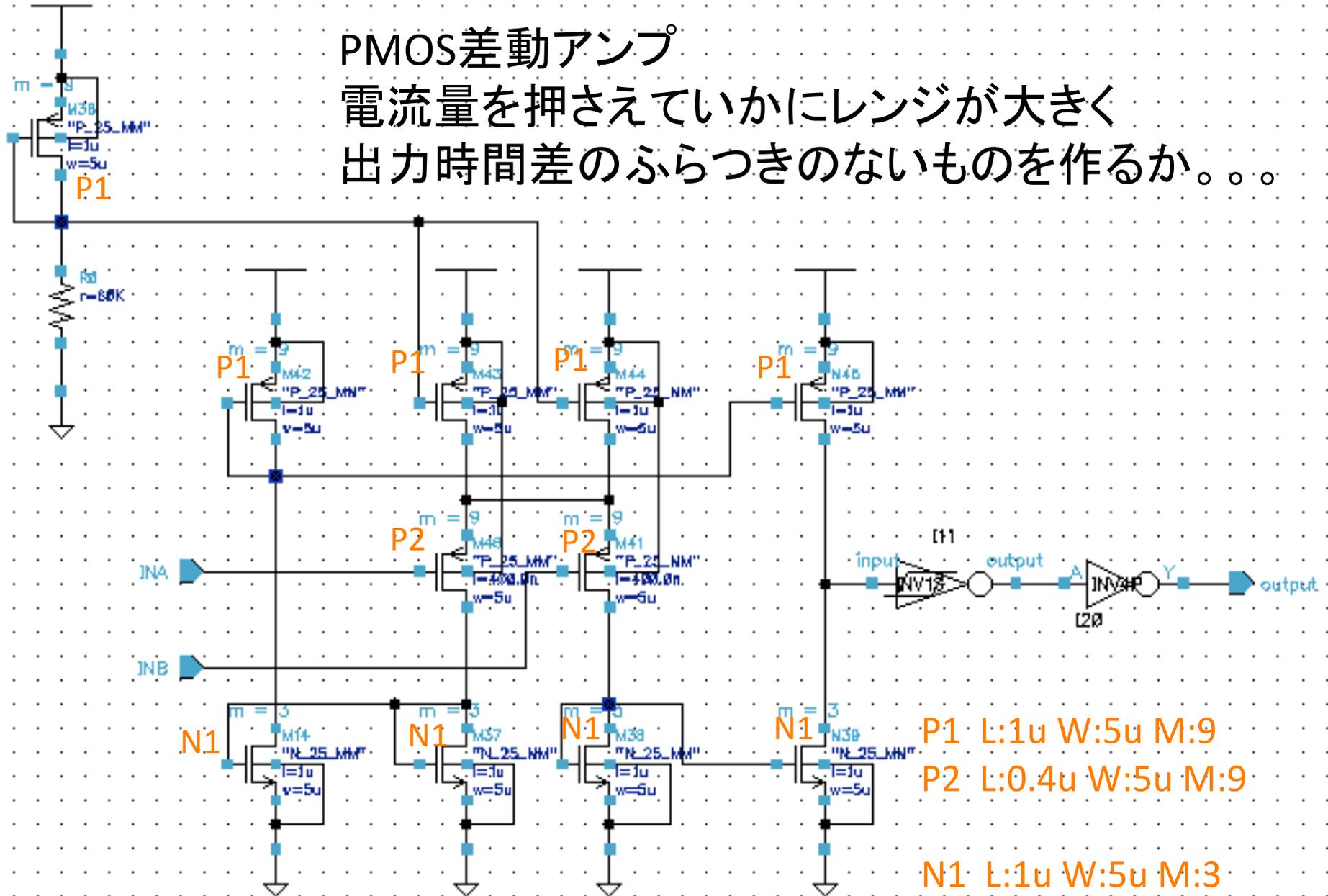


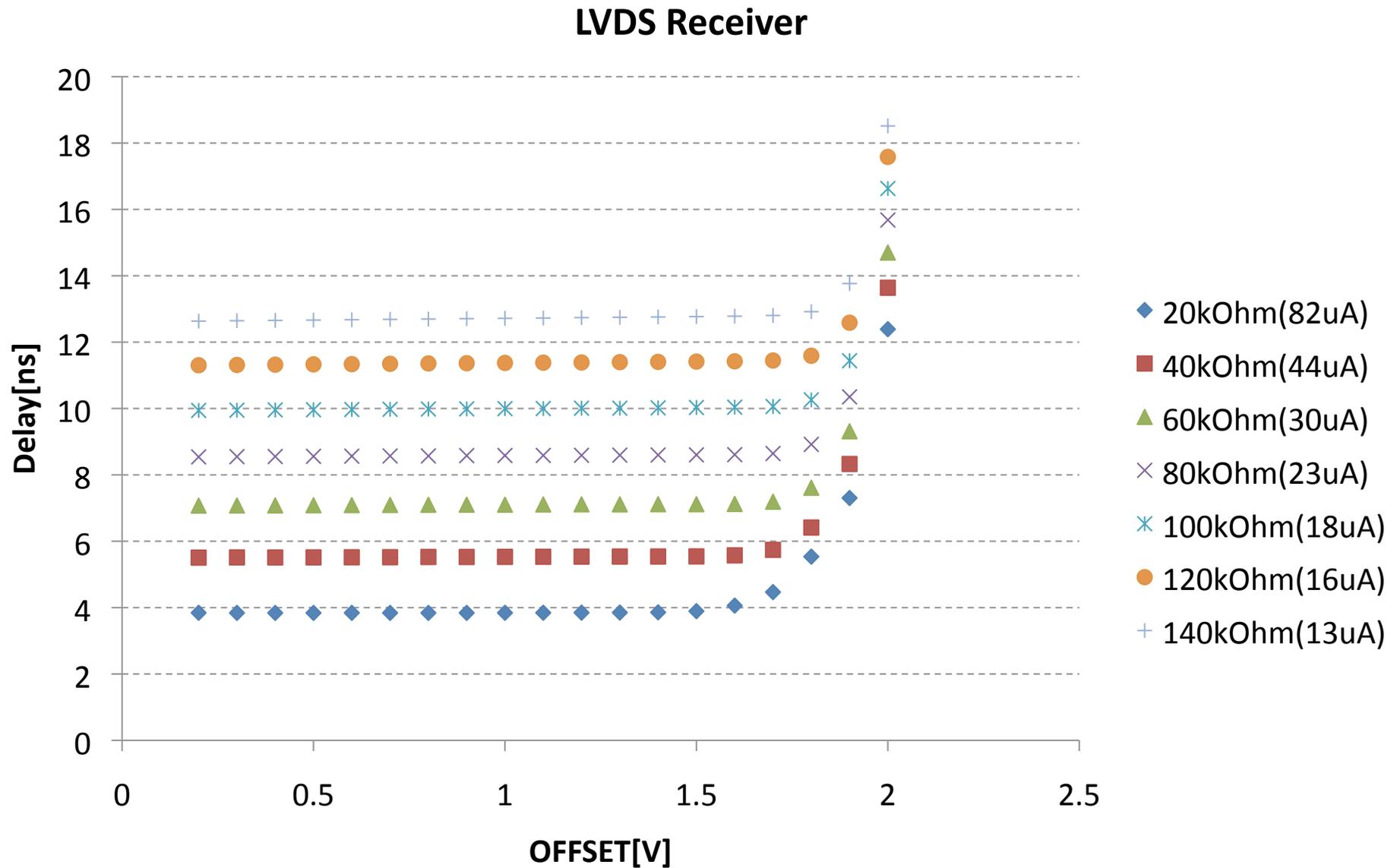
BACK UP
BACK UP

3GeV π 粒子を用いたビームテスト結果



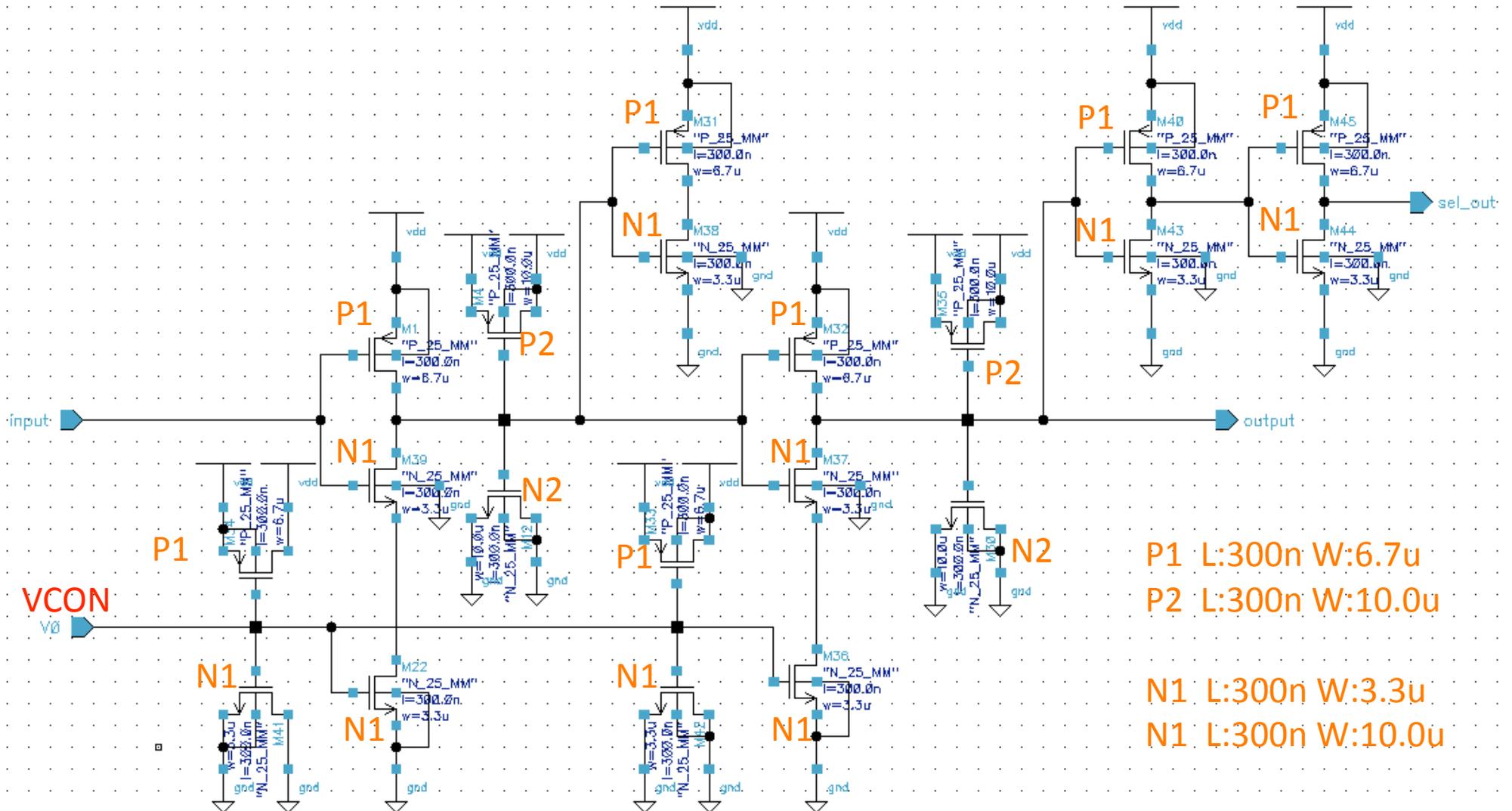
PMOS差動アンプ
 電流量を押さえていかにレンジが大きく
 出力時間差のふらつきのないものを作るか。。。

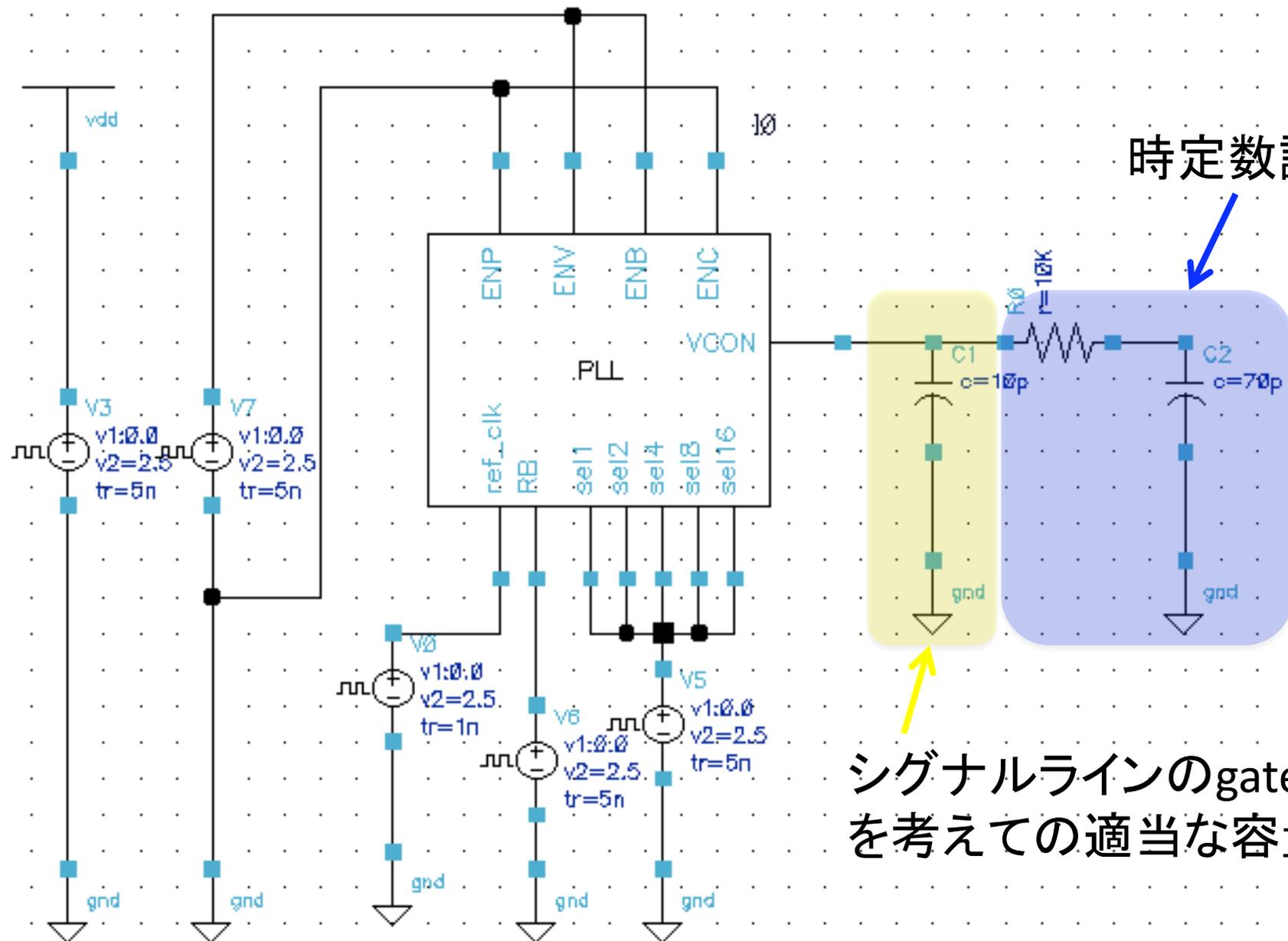




抵抗の製造誤差(30%程度)を考慮して、60kOhmの抵抗に決定

VCONの調整で遅延時間が調整可能

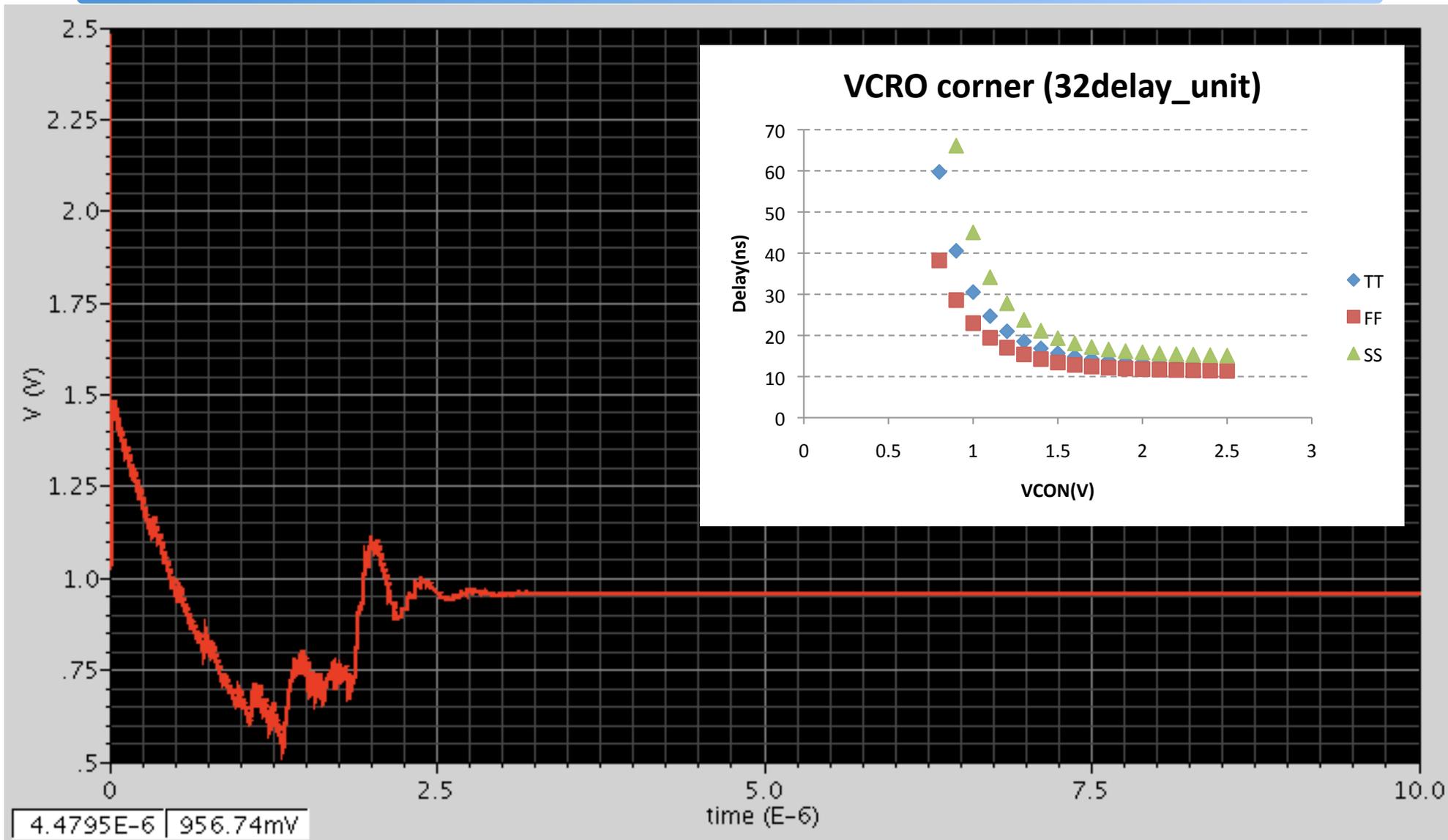




時定数調整用

シグナルラインのgate容量
を考えたの適当な容量

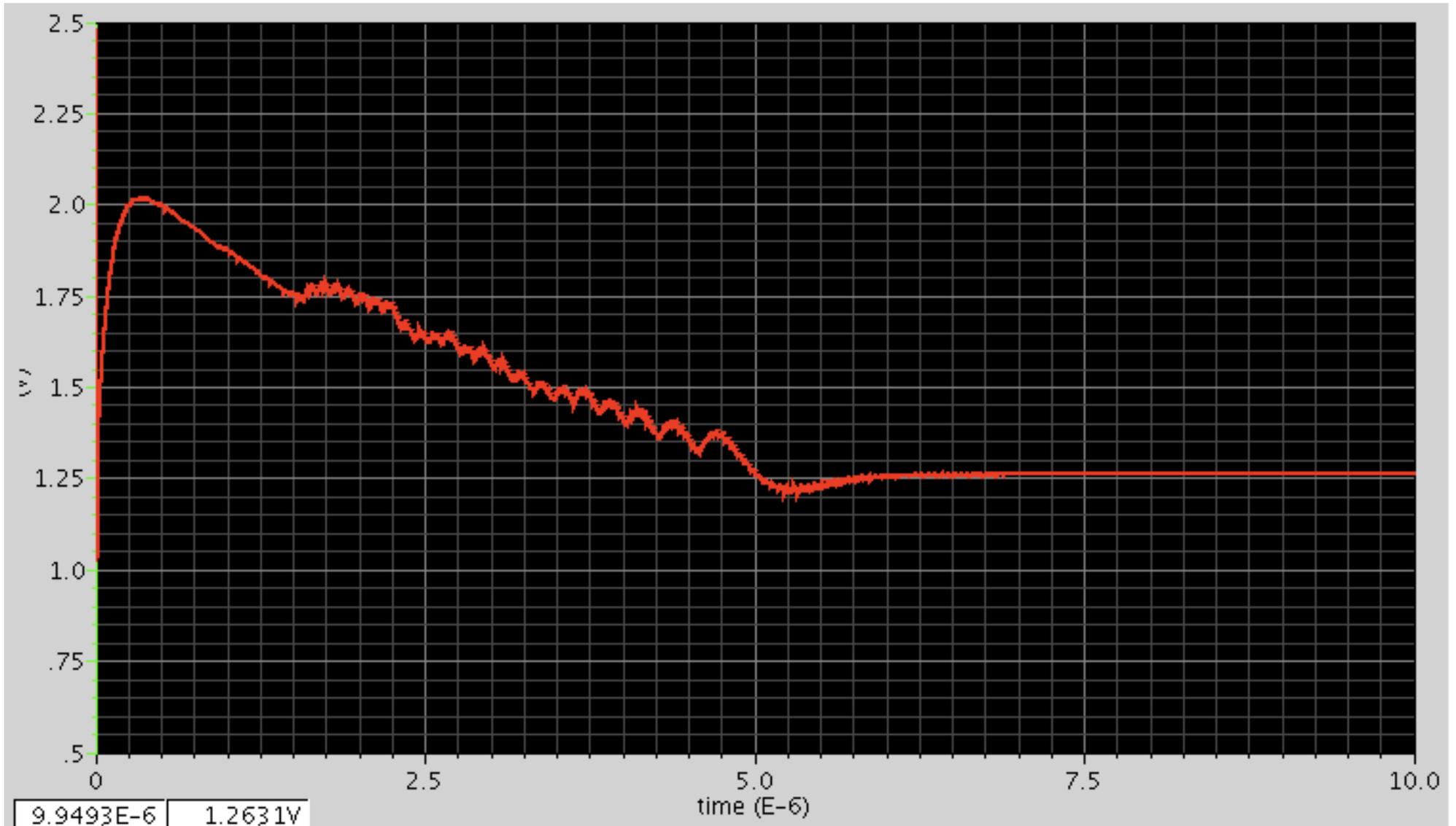
コーナーパラメータが変わっても



FFの場合

コーナーパラメータが変わっても

28



SSの場合

→各コーナーパラメータに対応してVCONがロックするのを確認

放射線テストに関して

	$SRL[10years]$	SF_{sim}	SF_{ldr}	SF_{lot}	$RTC[10years]$
TID	2.49[Gy]	3.5	5	2	$\sim 1.0 \times 10^2[Gy]$
NIEL	$2.58 \times 10^{10}[/cm^2]$	5	1	2	$\sim 3.0 \times 10^{11}[/cm^2]$
SEE	$6.54 \times 10^9[/cm^2]$	5	1	2	$\sim 7.0 \times 10^{10}[/cm^2]$

表 4.3.2: TGC エレクトロニクスの RTC の見積もり

