

平成 22 年度 修士論文
ATLAS 実験のアップグレードに向けた高放射線耐性を持つ
 μ 粒子トリガー回路系 ASIC の開発研究

名古屋大学理学研究科
素粒子宇宙物理学専攻 高エネルギー物理学研究室

志知 秀治

2011/1/24

概要

ASIC の放射線耐性の向上は、高強度ビームを用いる加速器科学では重要なファクターである。現在世界最大規模の加速器実験である LHC も 2020 年にはルミノシティ、2030 年には重心系エネルギーのアップグレードを予定し、各読み出し系はその都度必要な放射線耐性が要求される。一般に放射線耐性をあげるだけならばチャンネル長が短く、絶縁膜が薄いトランジスタプロセスを用いればいい。しかし、それを高速安定動作が要求される加速器実験の読み出しで用いるためには、プロセスごとに異なる静電容量、耐電圧などを考慮したデザインをしていく必要がある。

今回の研究は、UMC 社の絶縁膜厚 5.5nm のプロセスを用いた ASIC の放射線耐性の評価、および動作試験を行った。作成した ASIC は

- 可変遅延回路と、環境変化に対する遅延時間の保証のための Phase Locked Loop(PLL) を含む ASIC
- チャンネル長、チャンネル幅の様々なトランジスタで構成された Test Element Group(TEG)ASIC

の 2 種類である。PLL ASIC は 2017 年に予定されている同実験の新システムに搭載する ASIC のプロトタイプとして評価を行うために、遅延回路の他に LVDS レシーバと Test Pulse Generator を実装し動作検証を行った。この ASIC には 40MHz クロックを基準にした高速動作、外部環境に影響を受けない 1ns 以下の遅延時間保証などが要求される。また TEG ASIC には、さらに高い放射線耐性が必要な ASIC が必要になった場合に効果的とされる、ELT(Edge Less Transistor) と呼ばれるタイプのトランジスタも搭載した。

放射線が ASIC に与える影響は、吸収線量の積算的な効果によるものと、単発の放射線によって引き起こされるものの 2 種類に分けられる。前者はトランジスタの動作速度や動作閾値電圧などの変化として表れ、後者はメモリとして使用したときのラッチアップや、トランジスタの破壊などとして表れる。遅延保証回路としては前者の影響が大きいと考え、今回は特に前者に対する耐性の評価をするために、名古屋大学の Co60 照射室でガンマ線照射環境下での動作検証を行った。

結果として

- PLL ASIC の遅延回路としての 10kGy までの動作保証
- TEG において、通常タイプは 1kGy まで、ELT タイプは 10kGy までパラメータに大きな変化が無いこと

を得た。前者は ATLAS 実験で予定されているシステムの 100 年の動作保証に相当し、十分な放射線耐性を獲得できたと言える。

本論文では LHC-ATLAS 実験のアップグレードを具体例にとって、ASIC の放射線耐性評価の結果を述べる。

目次

1	Introduction	2
1.1	物理背景	2
1.2	LHC におけるヒッグス物理	2
2	HL-LHC に向けたミュオントリガーシステムのアップグレード	10
2.1	ミュオントリガーシステム	10
2.2	新トリガーシステムの構成	17
2.3	新トリガーシステムへの放射線の影響	21
2.4	研究意義	22
3	ASIC の設計と動作検証	23
3.1	MOSFET	23
3.1.1	動作原理	23
3.1.2	MOSFET の放射線耐性	25
3.2	アップグレードに向けた ASIC の仕様	26
3.3	Patch Panel ASIC の設計	26
3.3.1	PLL と遅延回路	27
3.3.2	LVDS レシーバ	29
3.3.3	テストパルス回路	31
3.4	Patch Panel ASIC の動作検証	32
3.4.1	LVDS レシーバ	32
3.4.2	可変遅延回路と PLL	33
3.4.3	テストパルス回路	37
3.5	まとめ	37
3.6	Test Element Group ASIC	38
3.6.1	半導体パラメータアナライザ	38
3.6.2	解析方法	38
4	ASIC のガンマ線照射試験	41
4.1	名古屋大学コバルト 60 照射室	41
4.2	TEG ASIC	41
4.3	PP ASIC	43
4.4	ガンマ線照射試験のまとめ	45
5	まとめ	46
付録 A	MOSFET に放射線が与える影響	47
A.1	積算線量による劣化	47
A.2	シングルイベント効果 (SEE)	48

1 Introduction

1.1 物理背景

ヒッグス粒子は現在の素粒子標準理論において唯一の未発見粒子である。ヒッグス粒子の発見とその精密測定は標準理論に残された課題である。ヒッグス場で真空ポテンシャルを再定義することにより、ゲージボソンである Z 、 W はゲージ対称性を保ったまま質量を得ることができる。

ヒッグス粒子の質量は理論と実験からそれぞれ予想されている。ヒッグスポテンシャルを安定させるために、カットオフスケール Λ を仮定したときに、ヒッグス粒子の四点結合がエネルギースケール Λ において正で有限なことが要求される。これがヒッグス粒子の質量を制限する。カットオフパラメータにもよるが、理論からはヒッグス粒子の質量は $100\text{GeV}\sim 1\text{TeV}$ の領域にあると考えられている。また過去の実験でヒッグス粒子の存在が棄却された質量領域がある。LEP 実験での $m_h < 114\text{GeV}$ と、Tevatron 実験での $158\text{GeV} < m_h < 175\text{GeV}$ である。標準理論をのラグランジアンを仮定すると 95% の信頼度において質量が $114\text{GeV} < m_h < 149\text{GeV}$ の領域にヒッグス粒子があると予想されている。標準理論以外の物理モデルを仮定するとヒッグス粒子の質量上限値は変わりうるが、質量が 1TeV 以内の領域に存在すると考えられている。

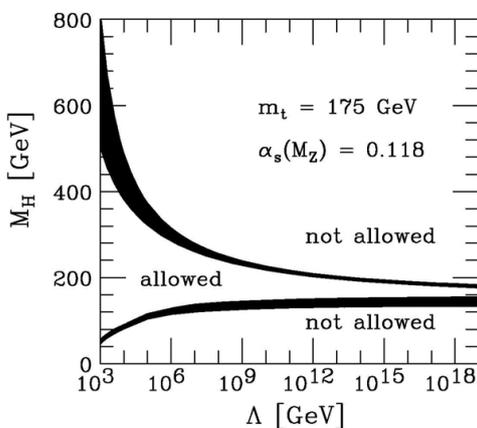


図 1.1 ヒッグス粒子の質量とカットオフスケール: ヒッグス粒子の質量は、標準理論が適応できる上限エネルギースケール Λ を決定するためのパラメータである。[1]

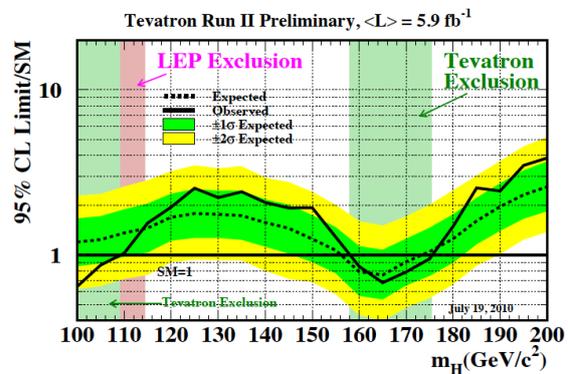


図 1.2 実験によるヒッグス粒子の質量制限: 縦に色のついた線が入っているところがすでに棄却された質量領域 (95% 信頼度)[2]

またヒッグス粒子の特徴は、結合する粒子の質量に比例して結合定数が大きくなることである。標準理論におけるヒッグス粒子の発見は、質量の同定だけでなく、標準理論から予想される結合定数などの精密測定をして初めて発見と言える。

1.2 LHC におけるヒッグス物理

LHC(Large Hadron Collider) はスイスの欧州原子核研究所 (CERN) にある陽子陽子衝突型の加速器である。LHC の全景を図 1.3 に載せた。加速リングの周長は 27km にもなり、そのリングに 8.3T の二極超伝導磁石 (14.3m) を 1232 台配置することで 7TeV の陽子加速が実現できる。また、加速器の輝度を表すルミノシティも $10^{34}\text{cm}^{-2}\text{s}^{-1}$ (設計値) となっていて、 TeV 領域の物理を世界最高統計で行うことができる加速器である。

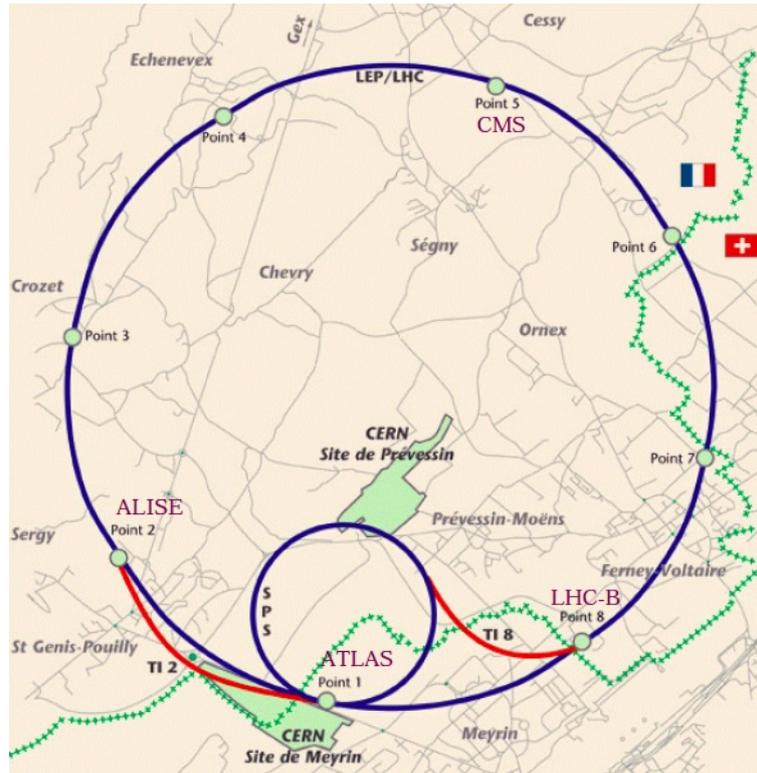


図 1.3 LHC 全景

リング長	26.66km
陽子ビームエネルギー（入射エネルギー）	7.0TeV(450TeV)
瞬間ルミノシティ	$1.0 \times 10^{34} \text{cm}^{-2}\text{s}^{-1}$
バンチ間隔	25ns
バンチあたりの陽子数	1.14×10^{11}
二口径双極電磁石長、数、磁場	14.3m、1232 台、8.33T
バンチ衝突あたりの陽子衝突数	19

表 1.1 LHC 加速器の主要パラメータの設計値

る。主な設計パラメータについて表 1.1 にまとめた。

LHC で生成される物理事象を観測するのが衝突点に設置された ATLAS 検出器である (図 1.4 参照)。高さ 25m、幅 44m にもなる巨大な検出器群で、内側から円柱状に内部飛跡検出器、カロリメータ、ミュオン検出器が設置されており、衝突点からの全立体角をカバーしている。各検出器から得られた情報を基に衝突事象を再構成し、粒子の同定、エネルギー、運動量の算出を行う。それぞれの検出器について簡単に説明する。ATLAS 検出器の座標系として、ビーム軸を Z 軸とした円筒座標を用いる。ビーム軸からの距離を R、ビーム軸周りの回転を Φ とする。また、 $\tan\theta = \frac{r}{z}$ で定義される仰角 θ も ($-\frac{\pi}{2} < \theta < \frac{\pi}{2}$) 用いられる。擬ラピディティ $\eta = -\ln|\tan\frac{\theta}{2}|$ を用いて、ATLAS 検出器の座標定義を行うこともしばしばある。ハドロンコライダーでは、 η 平面でみた微分散乱断面積 $\frac{d\sigma}{d\eta}$ は η によらず一定である。 η 平面で見ると粒子は一様に飛来し、扱いやすいパラメータである

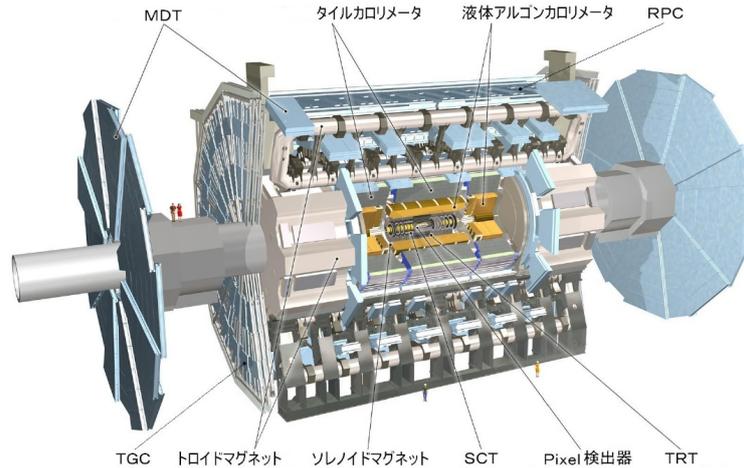


図 1.4 ATLAS 検出器

内部飛跡検出器 (Pixel, SCT, TRT)

内部検出器は飛跡検出器で粒子の崩壊点の測定、ソレノイド磁場中 (2T) での横運動量の測定を主な目的とする。内側よりシリコンピクセル検出器 (Pixel)、シリコンストリップ検出器 (SCT)、遷移輻射ストローチューブ検出器 (TRT) が設置される。TRT はローレンツ因子 γ に比例する遷移輻射光を用いて、電子とミュオンを識別する。

カロリメータ (LAr, Tile)

カロリメータは飛来粒子による電磁シャワー、ハドロンシャワーのエネルギー総量・シャワーパターンより、電子、光子、ハドロンジェットの同定、及びそのエネルギーの測定を行う。三種類のカロリメータからなり、鉛の吸収体からなる液体アルゴンを用いたアコーディオン型電磁カロリメータ、バレル領域に設置されシンチレータと鉄のサンドイッチ構造からなるバレルハドロンカロリメータ、エンドキャップ領域に銅板を吸収体とした液体アルゴンのエンドキャップカロリメータが設置される。

ミュオン検出器 (MDT, TGC, RPC, Troid-Magnet)

ミュオン粒子スペクトロメータは、全領域に設置されるドリフトチューブ検出器 (MDT: Monitored Drift Tube) と、バレル領域に設置される Resistive Plate Chamber (RPC)、エンドキャップ領域に設置される Thin Gap Chamber (TGC) からなる。それぞれトロイダル磁場 (最大積分磁場 8Tm) と合わせ、スペクトロメータとして機能する。RPC、TGC はミュオン粒子を $\sim 1\text{cm}$ の位置精度でミュオン粒子飛跡を検出し運動量計算を行う。MDT はドリフトチューブ検出器でドリフト時間情報を合わせ、 $\sim 60\mu\text{m}$ の精度でミュオン粒子飛跡検出を行う。

2010 年、ATLAS でのデータ収集は順調に行われ、2010 年末までで重心系エネルギー 7TeV で 35pb^{-1} のデータを貯めることができた。解析結果から W^\pm 、 Z^0 、トップクォークなどの生成が確認されている。

2010 年は重心系エネルギー 7TeV であるが、今年は 8TeV~9TeV、2013 年頃は 14TeV と、徐々にアップグレードをしていく。またルミノシティも現在の 1×10^{32} から、2013 年には設計値である 1×10^{34} を達成し、2020 年からはさらなる統計量での物理を目指すために 5×10^{34} を目標としている。2020 年からの LHC を特に、HL-LHC (High Luminosity - LHC) と呼ぶ。

LHCにおけるヒッグス物理について説明する。

○ ヒッグス粒子の生成

LHCはハドロンコライダーであるために、粒子の生成過程はそのパートン量に大きく比例する。図 1.5 に LHC におけるヒッグス粒子の生成断面積を示した。

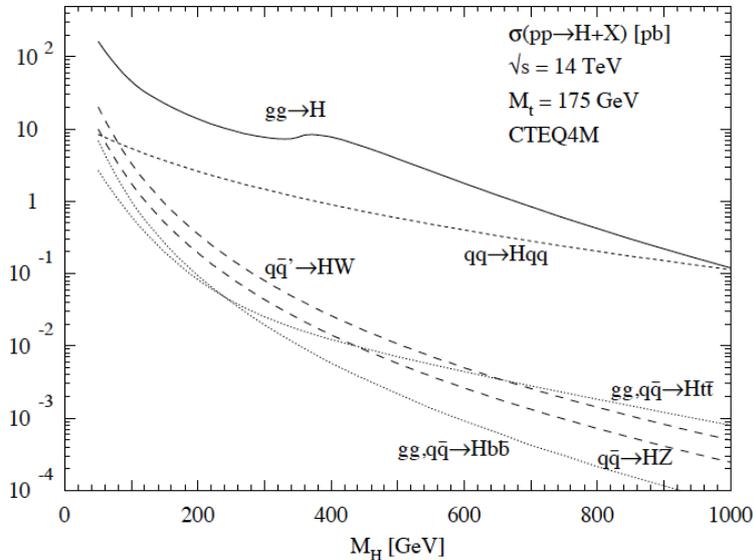


図 1.5 LHC におけるヒッグス生成断面積:横軸はヒッグス粒子の質量、縦軸がそれぞれの過程からの生成断面積 [3]

それぞれのヒッグス生成過程について、簡単に説明する。ファインマンダイアグラムは図 1.6 に示した。

$gg \rightarrow H$: グルーオンフュージョン: 図 1.6(a)

主にトップクォークのループを介したグルーオンとグルーオンの反応過程で、最も断面積が大きい。その反面、ヒッグス粒子が崩壊してできる粒子以外に大きな横運動量を持つ粒子がなく、バックグラウンドとの選別が非常に難しい。

$qq \rightarrow Hqq$: ベクトルボソンフュージョン: 図 1.6(b)

クォークから放出されたゲージボソンからヒッグス粒子が生成されている。断面積も比較的大きく、反跳したクォークに起因する大きな横運動量を持つジェットが 2 本観測される特徴があり、イベントの選別が比較的行きやすい。さらに、イベントに関わる 2 つのクォークの間ではカラー交換が行なわれないので、バックグラウンドによる影響は少ない。従って、この生成過程では、様々な崩壊過程でのヒッグス粒子の探索が期待されており、現在盛んに研究が進められている。

$qq \rightarrow H(W/Z)$: (W/Z) 随伴過程: 図 1.6(c)

クォークの対消滅で生成された 2 本のゲージボソンから、更に粒子が放射される過程。終状態にゲージボソンが観測される特徴がある。このゲージボソンがレプトンに崩壊した場合は、シグナルとバックグラウンドの識別が容易にできる。

$qq/gg \rightarrow Htt$: トップクォーク随伴過程: 図 1.6(d)

対生成されたトップクォークから、ヒッグス粒子が放出される過程。断面積は小さいが、特徴のあるトップクォークペアを終状態に含んでいるので、バックグラウンドを減らすことができる。またこの反応には、トップクォークとヒッグス粒子の結合定数という重要な情報を含んでいる。

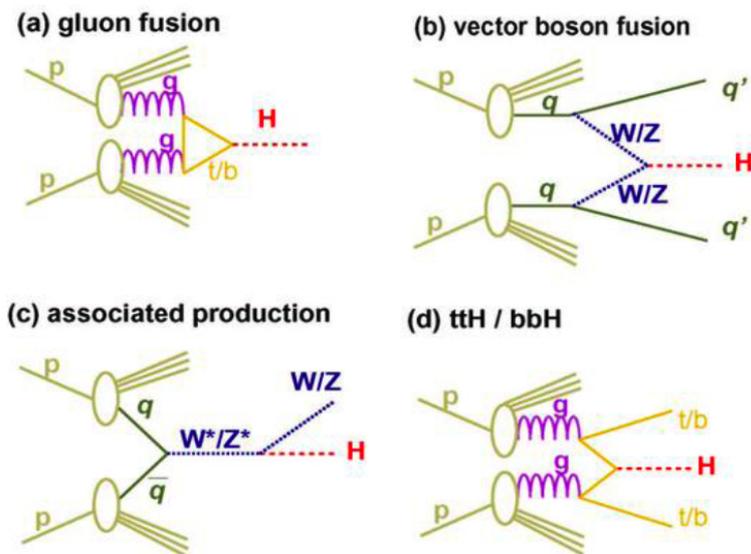


図 1.6 ヒッグス生成過程のファインマンダイアグラム:ヒッグス粒子は重い粒子と結合しやすいため、トップクォークや、W、Z から生成されることが多い

○ ヒッグス粒子の崩壊

ヒッグス粒子は、ゲージボソンとはヒッグス粒子の質量の 3 乗に比例した結合定数を持ち、フェルミオンとはヒッグス粒子の質量 \times 各フェルミオンの質量の 2 乗に比例した結合定数を持つ。よってヒッグス粒子の崩壊過程は、W と Z に崩壊可能となる質量約 160GeV 前後で振る舞いが大きく変わる。質量別の崩壊過程の割合を図 1.7 に示した。

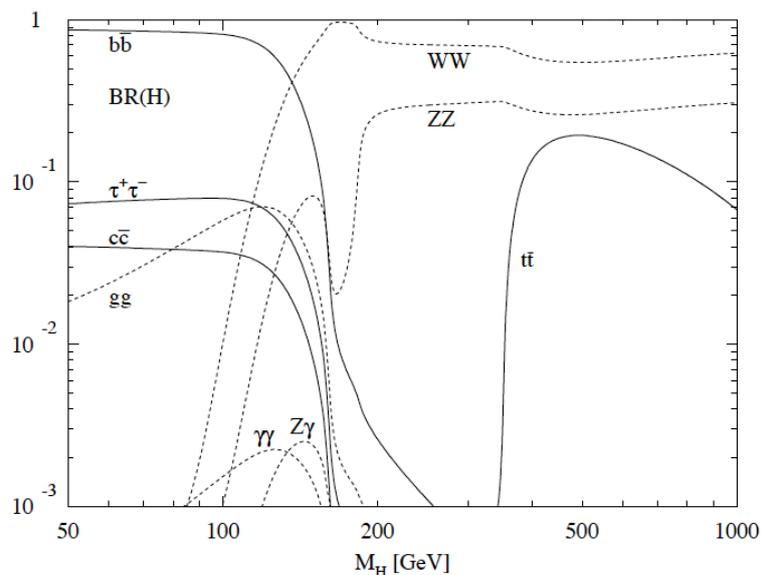


図 1.7 質量別のヒッグス崩壊過程:160GeV をあたりを境に W への崩壊が主となる [3]

ヒッグス探索はこれら崩壊過程をふまえた解析が必要となる。具体的に各ヒッグスの質量ごとに探索に適しているといわれる崩壊過程についていくつかまとめる。

$$H \rightarrow \gamma\gamma (m_H < 150 \text{ GeV})$$

崩壊分岐比は 10^{-3} と小さいが、陽子陽子衝突による QCD ジェットバックグラウンドとの区別が難しい支配的な崩壊過程 (ボトムクォーク、タウ、チャームクォークなど) と違い、 γ のエネルギーと運動量から不変質量を組むと、ヒッグス質量にきれいなピークが見える。カロリメータの分解能が重要となる。

$$H \rightarrow \tau\tau (m_H < 150 \text{ GeV})$$

$\gamma\gamma$ より崩壊確率が 70 倍程度高い。 τ の崩壊過程において、 ν が表れるため、損失エネルギーの分解能が重要となる。主なバックグラウンドは $Z \rightarrow \tau\tau$ で、ヒッグスの質量はこの Z の質量のピークのテール部分に表れる。

$$H \rightarrow ZZ^* \rightarrow lll (120 \text{ GeV} < m_H < 180 \text{ GeV})$$

一つのレプトン対に対しては、不変質量に等しいという条件を課すことが出来るが、 Z^* が仮想粒子であるため、もう一方のレプトン対の不変質量には制限が無い。そのため、検出器には運動量、エネルギーに対する高い分解能が求められる。

$$H \rightarrow ZZ \rightarrow llll (180 \text{ GeV} < m_H < 800 \text{ GeV})$$

このモードが最も綺麗なピークを得られる。2組のレプトン対の不変質量が共に Z に等しいという条件を課すことが出来るため、信頼性の高いモードである。ただし、ヒッグス粒子の質量が大きくなるにつれ崩壊幅が急激に大きくなるため、有効性が落ちる。 $400 \text{ GeV} < m_H$ の領域では、 $ZZ \rightarrow ll\nu\nu$ の崩壊過程も有効であるが、損失エネルギーの測定分解能が重要である。

$$H \rightarrow WW \rightarrow l\nu l\nu (180 \text{ GeV} < m_H < 800 \text{ GeV})$$

$m_H < 170 \text{ GeV}$ においてこの崩壊がほぼ 100% になり、それ以降の質量領域でも最も大きな崩壊分岐比を持つ。この崩壊過程では、 $H \rightarrow WW \rightarrow l\nu l\nu$ を用いるのが一般的である。この場合、2つのレプトンと損失エネルギーが観測され、ヒッグスの質量領域に綺麗なヤコビアンピークが見られる。

○ATLAS でのヒッグス粒子の発見能力

ATLAS では各質量領域でヒッグス探索に適した生成及び崩壊過程がある。それらを統合したシミュレーション結果を図 1.8 に示した。データは重心系エネルギー 14 TeV、積分ルミノシティ 10 fb^{-1} を仮定している。ここから、125 MeV 以上の質量領域において粒子の発見の基準となる 5σ を満たしており、ATLAS 実験でのヒッグス発見が期待できる。

現在の予定で検出器や加速器のアップグレードが進めば、2014 年頃にヒッグス粒子は発見される。

○ATLAS でのヒッグス粒子の結合定数測定

発見される粒子がヒッグス粒子ということを証明するためには、ヒッグスとの結合定数が質量に比例していることを示さなければならない。図 1.9 に重心系エネルギー 14 TeV、積分ルミノシティ 300 fb^{-1} で得られると予想される、各粒子とヒッグス粒子との結合定数の相関を示した。(データは ATLAS の他に、同じ LHC の実験である CMS のデータも統合しての結果である。) ヒッグス粒子の質量は 120 GeV を仮定している。

結合定数の線形性をさらに精密に測定するために、 3000 fb^{-1} の積分ルミノシティが必要とされている。それだけの統計量で、それぞれの結合定数は 10~20% の誤差で測定できると期待されている。また、

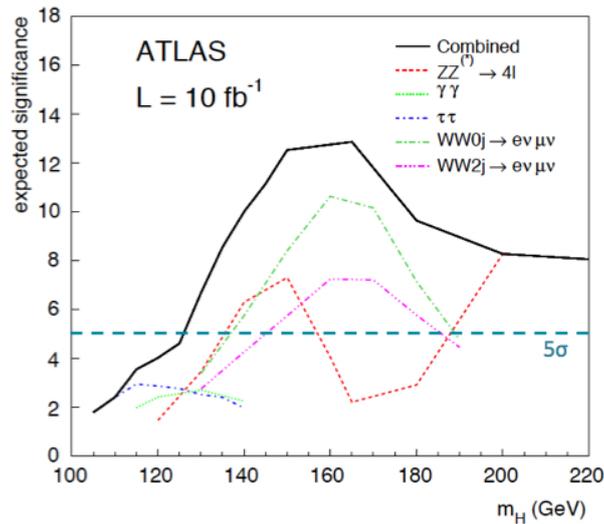


図 1.8 ATLAS におけるヒッグス発見能力:横軸がヒッグス質量、縦軸が発見能力。色の違いはヒッグス粒子の生成過程と崩壊過程の違いを表す。125MeV 以上の領域で、 5σ 以上の発見能力がある (99.9999% 以上の確率でヒッグス粒子が存在することが言える)[4]

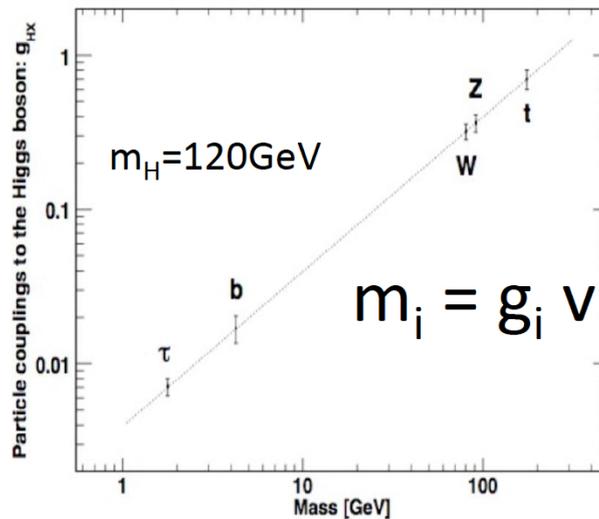


図 1.9 粒子の質量とヒッグス粒子との結合定数の相関:質量の大きいフェルミオンやゲージボソンは積分ルミノシティ 300fb^{-1} で測定可能 [5]

質量約 100MeV のミュオンとの結合定数や、ヒッグス粒子の自己結合定数も 3000fb^{-1} の統計量で、 $20\sim 40\%$ 程度の誤差で測定が可能とされている。図 1.10 にヒッグス自己結合を含むファインマンダイアグラム、図 1.11 に各ヒッグス質量における測定誤差を示した。 3000fb^{-1} の統計量を用いると、測定誤差が $1/10$ 程度になっていることがわかる。

この先 $10\sim 20$ 年で行われる、ヒッグス粒子の精密測定のために LHC のルミノシティアップグレードは欠かせない。またルミノシティアップグレードは、結果としてエネルギーの高いパートン衝突事象を増やすことにもなるので、より高エネルギーの物理へのアプローチにもなる。

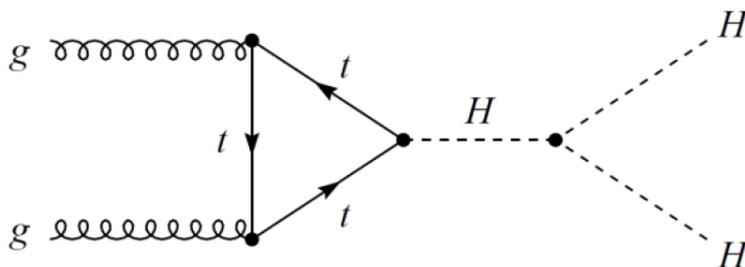
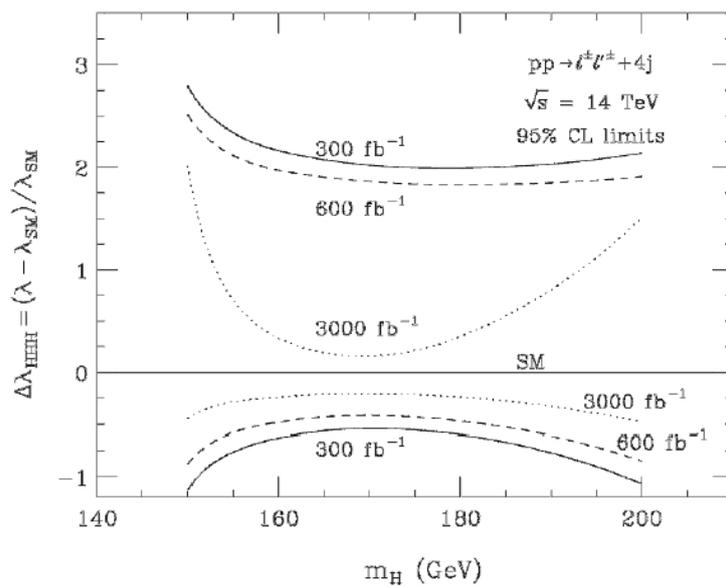


図 1.10 ヒッグス粒子自己結合を含むファインマンダイアグラム

図 1.11 ヒッグス粒子自己結合定数の測定誤差:横軸がヒッグス質量、縦軸が測定誤差。 $m_h=170\text{GeV}$ 周辺ならば、 3000fb^{-1} で測定可能となる [6]。

2 HL-LHC に向けたミュオントリガーシステムのアップグレード

LHC は陽子加速器である。陽子は複合粒子であるため、その衝突は陽子を構成するクォークやグルーオンといったパートン同士の衝突である。そのため衝突のエネルギースケールは数 GeV から 1TeV 以上とさまざまで、その大半は低いエネルギーのパートン同士の衝突事象である。これらの事象は、新粒子探索において排除すべき背景事象となるため、効率的に興味事象のみを選別するためのトリガーシステムが必須となる。この章では、特にエンドキャップ領域でのトリガーシステムが、HL-LHC を想定してどうアップグレードするかをまとめる。

2.1 ミュオントリガーシステム

図 2.1 に ATLAS でのモードごとの反応断面積を載せた。横軸が各モードで生成される粒子の質量、縦軸が生成断面積になっている。エネルギーの小さいパートン同士の衝突事象も含めて、全反応断面積 (図 2.1 中 $\sigma_{inelastic}$ と表示) は 50mb^{-1} にもなる。それに対してヒッグス粒子などの興味事象は 10pb^{-1} 以下と、10 桁も低い反応断面積になっている。結果として ATLAS の衝突頻度 40MHz の中で、興味事象は 0.1Hz 程度のとても低い頻度で起こる。物理解析を行うためには、この興味事象のみを選別するトリガーシステムが必須となる。

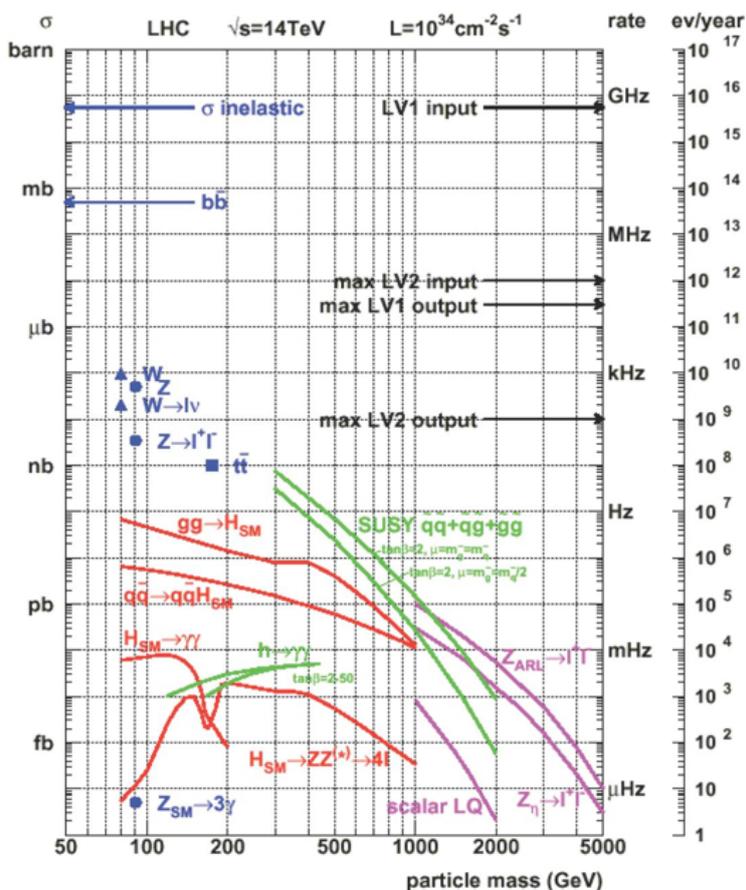


図 2.1 ATLAS での各事象の反応断面積:横軸が各モードで生成される粒子の質量、縦軸が生成断面積

効率的なトリガーを行うために興味事象の終状態として表れる高運動量のミューオンに注目した。その理由としてまずミューオンは物質透過力が高く、検出しやすい粒子であることがあげられる。さらに、W、Z、トップクォークなど興味事象を経由した重い粒子からの崩壊として現れたとき、比較的高い横運動量^{*1}を持つため、運動量閾値を用いて事象選別が可能となる。ミューオンは荷電粒子であるから、磁場を使った運動量測定^{*2}が可能である。以上の理由から事象選別に適した粒子だと言える。

図 2.2 に、ミューオンの横運動量閾値と親粒子別の閾値以上のミューオンを含む反応断面積を示した。クォーク由来のミューオンは閾値の増加とともに反応断面積が減少しているのに対し、興味事象の崩壊先である W、Z、トップクォークからのミューオンは閾値が増加しても減少していないことがわかる。ここから、高運動量のミューオンの検出は興味事象のトリガーとして効果的であると言える。

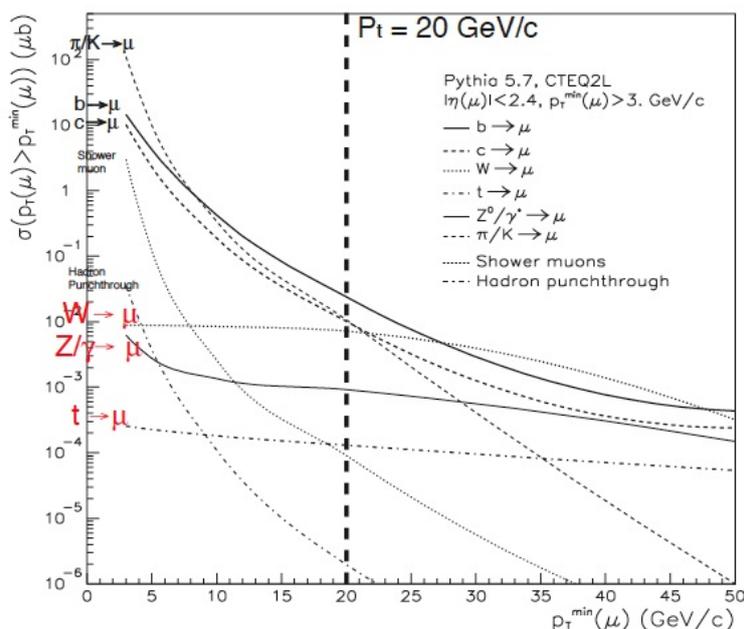


図 2.2 横運動量閾値と選別事象:横軸が運動量閾値、縦軸が親粒子別の閾値以上のミューオンを含む反応断面積

ATLAS はその検出器の大きさから、読み出しチャンネル数は 1 億 6 千万もある。その結果衝突データは約 1.5MB/event と膨大なものとなり、処理速度の関係から 200Hz 程度までデータを選別する必要がある。ATLAS 実験では、効率の良い選別のために 3 段階のトリガーシステムを構成している (図 2.3 参照)。それぞれのトリガーについて手法とトリガー頻度を表 2.1 にまとめた。それぞれのトリガー頻度は処理速度、データ容量、データの転送速度などで制限されている。またそれぞれのトリガー判定に要する時間の間データを保存できるバッファが必要となる。そのうち Lv1 トリガーは全ての事象に対してトリガー判定を行わなければならないため、40MHz の衝突に同期した論理回路によって信号処理を行うハードウェアで構成し、これを達成する。

ミューオン Lv1 トリガーのための飛跡検出器が、エンドキャップ領域の Thin Gap Chamber(TGC) とパレル領域の Resistive Plate Chamber(RPC) である (図 2.4 参照)。両方とも多層構造になっており、磁場中の曲率によって生じるチャンネル差分から運動量を算出することができる。今回は私がアップグレードを行うエンドキャップ領域の検出器である TGC に特化して話を進める。TGC の全景は図 2.5 に示した。

*1 運動量のビーム軸に垂直な成分を横運動量、ビーム軸に平行な成分を縦運動量と定義している

*2 磁場、運動量、曲率半径の関係式は $p_T(\text{GeV}/c) = 0.3B\rho(\text{Tm})$ となる

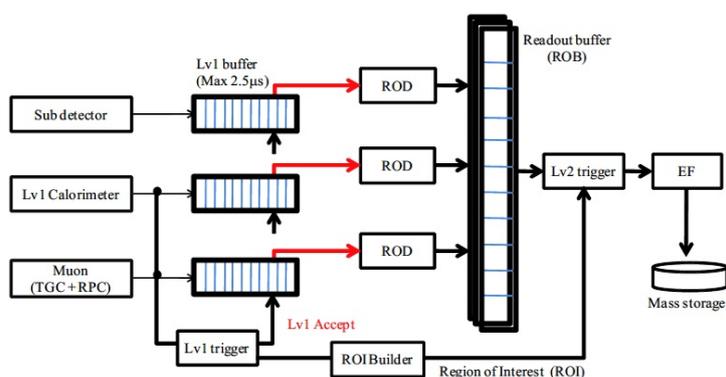


図 2.3 ATLAS 実験におけるトリガーシステムの構成:トリガーの判定回路とメモリで構成されている。

段階	名前	トリガーレート	判定時間	処理方法
1	Lvl1 trigger	40MHz 75kHz	2.5µs	(ミューオンの場合) ハードウェアを用いた磁場中の曲率測定
2	Lvl2 trigger	75kHz 1kHz	40ms	Lvl1 trigger で得られた各検出器の興味領域内の情報をソフトウェアで解析
3	Event Filter (EF)	1kHz 200Hz	4s	ATLAS の全領域での情報をソフトウェアで解析

表 2.1 ATLAS 実験のトリガーシステム

まず TGC の構造と動作原理について簡単に説明する。TGC はアノードワイヤー - カソード間が 1.4mm、ワイヤー間隔が 1.8mm で作られた薄型の MWPC(Multi Wire Proportional Chamber) である (図 2.6 参照)。

アノード - カソード間にかけられた電圧は約 2800V で、内部は CO₂/n-Pentane(55/45) の混合ガスで満たされている。TGC に荷電粒子が入射するとその経路にあるガス分子が電離されイオン化される (図 2.7.a)。電離された 2 次電子は陽極側にドリフトしながら印加電場によって加速され、ガス分子の電離エネルギーを超えると 2 次電子を生成する (図 2.7.b)。これを繰り返し、タウンゼント型電子なだれと呼ばれるカスケード型の電子雪崩を形成する。電子とイオン雲はそれぞれドリフトによって互いに離れ (図 2.7.c)、電子雲はワイヤを取り囲み (図 2.7.d) イオン雲はさらにその周りを取り囲むようにワイヤ半径方向に拡散していく (図 2.7.e)。同時にカソード面では、塗布された高抵抗のカーボン面に電荷が誘起され、外側のストリップにも電荷が誘起され信号として読み出される。タウンゼント型電子雪崩で生じた励起分子やイオンの再結合による紫外線は、カソード面やガスに衝突して発生する二次電子によって自己放電を起こす可能性がある。そこで紫外線を吸収する効果 (クエンチ効果) のある n-Pentane を封入し、紫外線を吸収することで二次電子を抑える。結果放電を抑えた安定した、高検出効率なオペレーションができる。TGC はこの電子なだれをシグナルとしてワイヤから読み取る。最終的に粒子の入射によって発生した電子数はを 10⁶ 程度に増幅される。

アノード - カソード間の距離が短いのは、TGC が全ての衝突からの信号を処理する Lvl1 トリガー用の検出器であるため、ドリフト時間を衝突周期である 25ns 以下に抑える必要があるからである。(図 2.8 参照)。ワイヤーと垂直方向のストリップ読み出しも有しており、1 枚で 2 次元読み出しを可能にしている。ワイヤーは

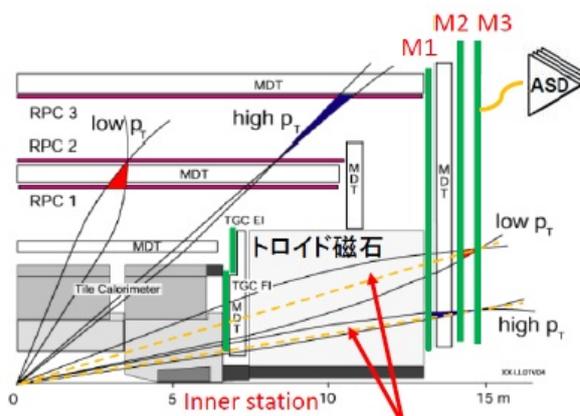


図 2.4 トリガー検出器 TGC、RPC の配置 (R-Z 平面)

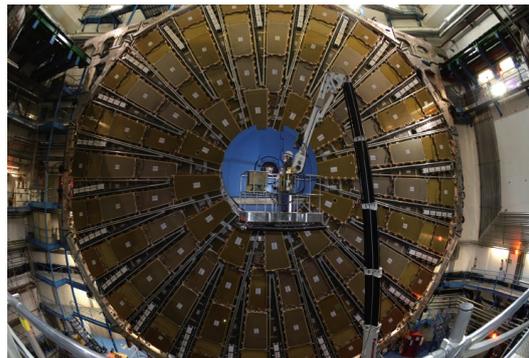


図 2.5 TGC の配置:直径 25m の大システムである。台形の TGC を組み合わせることにより $1.05 < \eta < 2.7$ の領域を全てカバーしている。また TGC は 7 層構造をしており、全読み出し断面積は 6000m^2 にもなる。

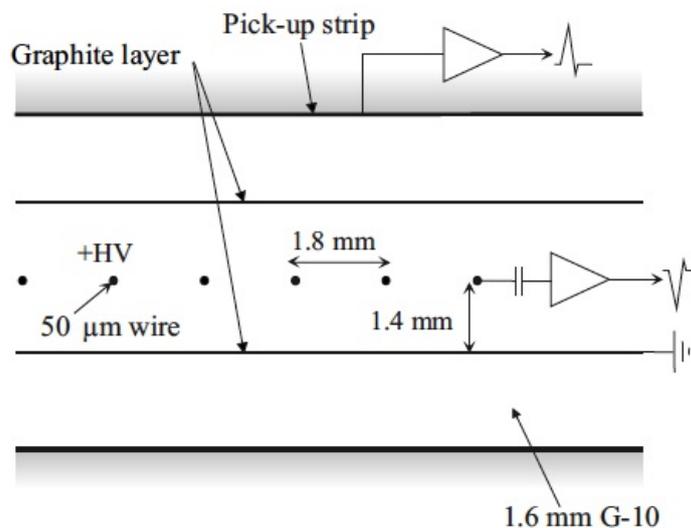


図 2.6 TGC の構造

10~30 本程度まとめて 1 チャンネルとして扱い、結果位置分解能は 10~50mm となっている。^{*3}

TGC はエンドキャップ領域に配置されたトロイド磁石による磁場中の曲率から運動量算出を行う。衝突点に近いほうから M1 に 3 層、M2、M3 に各 2 層ずつの計 7 層で構成されている (トロイド磁石と TGC の位置関係については図 2.4 参照)。

その算出方法は以下の通りである。

1. M1 の 3 層中 2 層、M2 と M3 の 4 層中 3 層のヒットをそれぞれ粒子の通過とする
2. M2 と M3 のヒット位置から無限運動量のミューオンが通るであろう軌跡 (衝突点への直線) をひく

^{*3} 粒子の入射が多いビーム軸に近いほどチャンネル幅は短く、ビーム軸から遠いほど長くなっている。各チャンネルへの入射頻度を等しくするためである

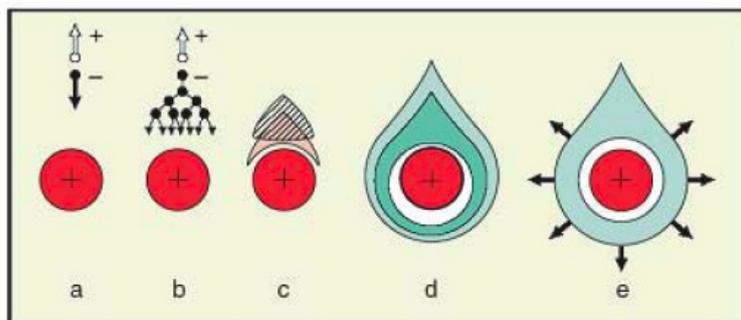


図 2.7 TGC ガス中の増幅過程

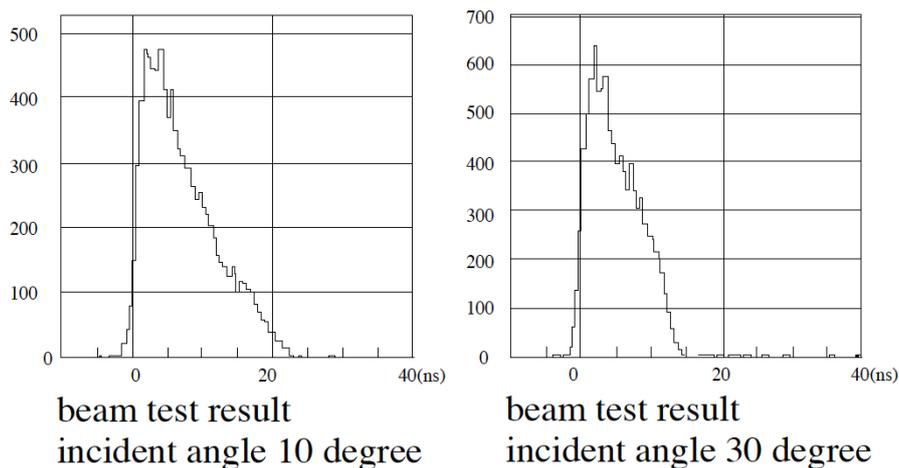


図 2.8 TGC が持つ粒子入射から読み出しまでの時間のふらつき [9]:過去に行われたビームテストの結果。TGC へのミューオンの入射角度は約 10 度 ~40 度で、10 度は最も時間のふらつきが悪くなる入射角度である。25ns(衝突頻度)以下になっていることで、どの衝突から来たのか判断が可能になる。

3. その軌跡が M1 を通る位置と実際の M1 でのヒット位置を比較しチャンネル差分から運動量を算出する

TGC は全事象に対してトリガー判定を行わなければならないため、衝突に同期した 40MHz のクロックで動作する論理回路で高速な信号処理を行う。以下に現在の TGC で運動量識別を行うまでの回路系をまとめる。それぞれの回路は ASIC^{*4}または FPGA^{*5}で作られている。また、図 2.9 にそれぞれの配置位置を示した。

ASD:Amp Shaper Discriminator

ASD は TGC 側面に配置され、TGC からの信号がなまる前に増幅^{*6}、整形後、閾値電圧を超えた信号に対しデジタル化を行う。出力は LVDS^{*7}と呼ばれる信号規格で PP に送られる。この時点ではまだ 40MHz のクロックに同期した信号になっておらず、同じ衝突からの信号でも図 2.8 のような時間幅を持って出力する。

*4 Application Specific Integrated Circuit の略。特定の用途向けに複数機能の回路をまとめた集積回路のこと

*5 Field Programable Gate Allay の略。書き換え可能な論理回路

*6 初段のチャージアンプで 0.8V/pc、二段目の電圧アンプで 7 倍に増幅する

*7 Low Voltage Differential Signaling の略。典型値として、中心電圧 1.2V、振幅 400mV での差動型インターフェースである。

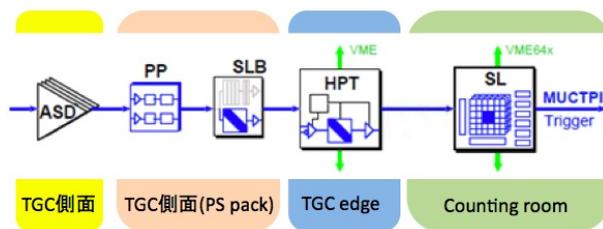


図 2.9 現在の読み出し系の配置:デジタル化を行う ASD だけは TGC 側面に、PP,SLB はそこから約 2~12m のケーブルで TGC の側面に、Hpt はそこからさらに 10~15m のケーブルで TGC の端に肯定されたミニラックへ、100m 離れた SL へは光ファイバーを通して信号を送る

PP:Patch Panel

PP は ASD から任意のタイミングで来た信号を、どの衝突から来たものか判断する (BCID:Bunch Crossing IDentification) ために衝突に同期した 40MHz のクロックタイミングで量子化する。このため PP 以降の信号処理は 40MHz のクロックで動作する論理回路で行うことができる。前述の通り TGC の読み出し時間のふらつきは、衝突頻度とほぼ等しい。そのため PP ASIC でのタイミング調整は非常にシビアで、理想値からの 1ns のずれが 2% の信号ロスにつながる。TGC は 99% 以上の検出効率を要求されているので、PP ASIC での遅延精度は 1ns 以下でなければならない。また遅延幅として 25ns 以上あれば、正確に同じ BCID をされるタイミングに合わせることができる。PP での遅延のモデル図を図 2.10 に示した。

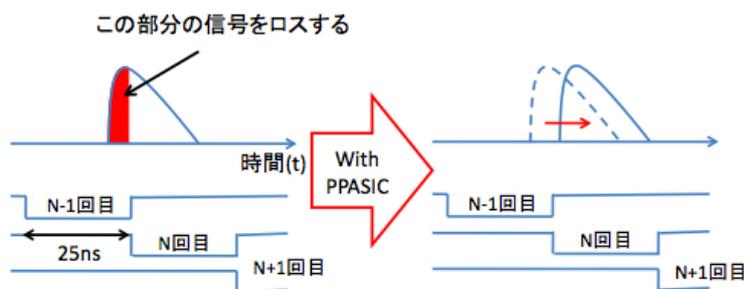


図 2.10 正確な BCID のためのタイミング調整:左図は衝突に同期させる 40MHz のクロックとのタイミングが合っていない場合である。N 回目の衝突由来の粒子を、赤い部分の信号は N-1 回目由来と捉え、結果信号をロスする。99% 以上の検出効率を達成するためには 1ns 以下の遅延精度が必要となる。

また PP は、動作テストのための疑似パルスを前段 ASIC である ASD の入力に送るテストパルス回路も備えている。

SLB:Slave Board

M1 内の 3 層、M2 と M3 合わせた 4 層でそれぞれコインシデンスをとり、M1 で 2/3 層、M2、M3 合わせて 3/4 層のヒットがある場合ヒット位置情報を出力として下流の Hpt に送る。ワイヤーとストリップの情報は別々に処理される。

Hpt:High PT

SLB から来たヒット情報を基に、7 層全てを合わせたコインシデンスをとり、おおまかな運動量判定を行う。SL に対する出力として、運動量判定結果と、それらのより精密な測定に必要であろう領域

(RoI:Region of Interest) を決定する。この RoI 情報は下流の SL と、LV2 トリガーで使われる。まだワイヤーとストリップの情報は別々に処理される。

SL:Sector Logic

Hpt からのワイヤー、ストリップの情報を統合し、最終的な運動量算出を行う。運動量算出はその場で演算を行うわけではなく、シミュレーションから予め作られた Look Up Table(LUT) を参照する^{*8}。現在 6GeV、10GeV、15GeV、20GeV、40GeV に運動量閾値として定めている。

現在の設計値でエンドキャップ領域における 20GeV 以上のミューオン Lv1 トリガーレートは 9.5kHz 程度と予想されているが、HL-LHC になったときにはルミノシティのスケール倍で 47.5kHz 程度になる。図 2.2 と図 2.11、シミュレーションを参考に、HL-LHC になったときの 20GeV 運動量閾値を超えるミューオンの内訳を表 2.2 にまとめた。ヒッグスなどの興味事象の崩壊として現れる W やトップクォーク由来のミューオンよりも、バックグラウンドとなる π 粒子、K 粒子、チャーム、ボトム由来のミューオンのほうが圧倒的に多いことがわかる。

ミューオン Lv1 トリガーの処理速度の関係から、これには 20kHz 以下が要求されるため、Lv1 トリガーの改良が必要となる。

process	rate(kHz)
total	47.5kHz
π /K decays	10
bottom	15
charm	17.5
top	0.0025
W	0.2

表 2.2 HL-LHC で予想される 20GeV 閾値にかかるミューオンの内訳:興味事象から生成されるトップクォークや W 由来のミューオンに対して、バックグラウンドとなる π 粒子、K 粒子、チャーム、ボトム由来ミューオンのトリガーレートが圧倒的に多い

トリガーシステムを改良するために、以下の 3 つの戦略がある。

1. アイソレートミューオンを検出する

アイソレートミューオンとは、軌跡の近くにハドロンのジェット^{*9}を付随しないミューオンのことである。トップクォーク以外のクォーク由来のミューオンはジェットを付随するので、これを検出できればトリガーレートを下げることができる。しかしそれにはカロリメータや内部飛跡検出器と連動した複雑なイベントトポロジトリガーが必要となる。

2. トリガーに用いる検出器の運動量分解能を向上させる

図 2.11 に今の TGC の 20GeV 以上のミューオンの検出効率を示した。これより 20GeV 以下のミューオンに対しても感度を持ってしまっていることがわかる。20GeV 以下に感度を持つということは、図

^{*8} LUT とは、予想される全ての入力パターンについて出力を決めておくことで、コンピュータの負担を減らし高速演算を可能にするデータ構造のことである

^{*9} 高いエネルギーを持ったボソンができたときに、クォーク対生成を繰り返して円錐状に広がるハドロンシャワーのこと

2.2 よりバックグラウンド由来のミュオンを多くトリガーしてしまうことにつながる。この運動量分解能を向上し、20GeV 閾値の立ち上がりを鋭くすることができれば、バックグラウンドが増える低運動量領域をカットできる。

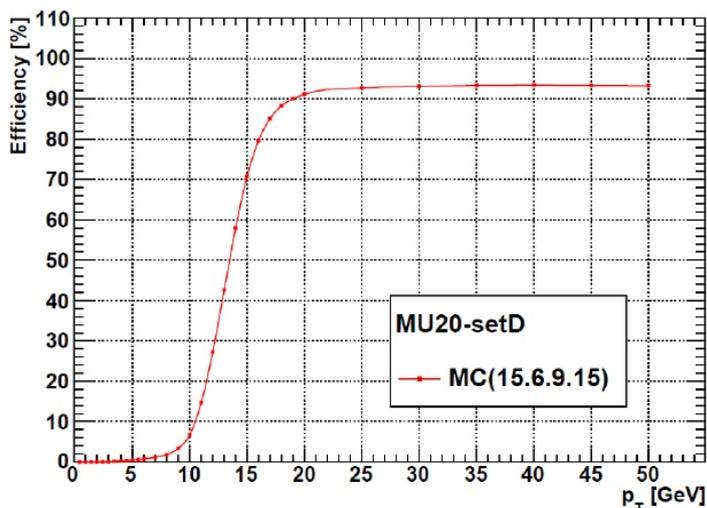


図 2.11 TGC の運動量閾値 20GeV での検出効率:低運動量領域にテールを持っていることがわかる

3. 衝突点から飛来するミュオンの選別

Inner Station(図 2.4 参照) は、エンドキャップトロイド磁石の通過前に配置されているので、ここでミュオンの角度は衝突由来ならば衝突点を向いているはずである。これに対して、内部の検出器内で多重散乱を起こしたミュオンや、ジェットから生じたミュオンは衝突点を向かない角度になる。TGC の運動量測定は衝突点から飛来する無限運動量ミュオンを基準に判定するので、衝突由来のミュオンのみを選別できれば正しい演算が可能となりバックグラウンドを減らすことができる。

今回は、このうち案 2 と案 3 を達成するために Inner Station と呼ばれる領域に新しいトリガーシステムを構築する。

2.2 新トリガーシステムの構成

2017 年に、現在の TGC の設置位置より衝突点に近い Inner Station(図 2.4 参照) と呼ばれる領域に、TGC+ドリフトチューブを用いた新しいトリガーシステムを導入する計画がある。構成は図 2.12 に示したように、TGC2 層 ×2 セットの間に 8 層のドリフトチューブを挟む形になっている。ドリフトチューブとは、円筒状のカソードの中心にワイヤーアノードをもつガスチェンバーである。動作原理は TGC と同じであるが、きれいな円筒形の電位をもつため、粒子の通過から読み出しまでの時間がそのまま中心 (ワイヤー) からの距離に換算できるのが特徴である (図 2.13)。ドリフト時間は約 200ns、その間 25ns 単位で読み出しが行われるので、 $\frac{7.5(\text{チューブの半径})}{200/25(\text{読み出し回数})}$ で、約 1mm の位置分解能が期待できる。また、その位置分解能のチューブを図 2.12 のように組み上げ、現在の Inner Station 領域 (幅 70cm 程度) に配置すると、通過粒子に対して約 1mrad の角度分

解能が期待できる。

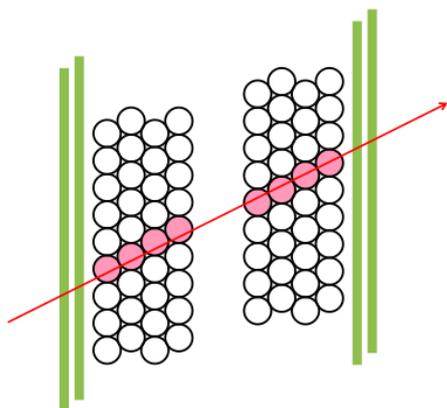


図 2.12 新トリガーシステムの構成:TGC4 層とドリフトチューブ 8 層から構成される

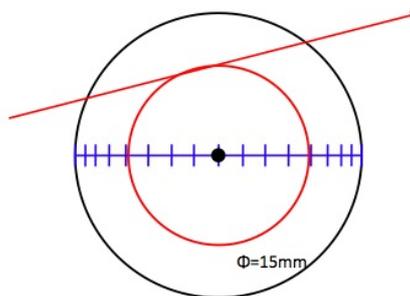


図 2.13 ドリフトチェンバーの特徴

Inner Station を用いた手法について図 2.14 にまとめた。現在運動量の算出は衝突点から最も離れた TGC のヒット位置を基準に、最も近い TGC での無限運動量ミュオンの通過位置と、実際のヒットチャンネルとの差分を用いている。そこに Inner Station のヒット情報を用いると、衝突点から Inner Station でのヒット位置を結んだ線を、最も遠い TGC まで外挿した点と実際のヒットチャンネルとの差分を使用することができる。この手法を用いると、今までのトリガー判定に用いるチャンネル差分よりも大きな差分が見えるので、運動量分解能の向上が期待できる。またトロイド磁石前で角度測定することができるので、測定された角度とヒット位置から衝突点への角度との比較を行うことで、衝突由来の信号のみを選別することができる。今後それぞれを dL カット、 $d\theta$ カットと呼ぶことにする (dL 、 $d\theta$ については図 2.14 参照)。

• 用いる情報

- $d\theta$: (Inner station で検出された角度)
 - (Inner station で検出された場所と IP を結ぶ直線の角度)
- dL : hitした RoI の中心と Inner station で検出された場所の 2 点間の距離

• $d\theta$ を Inner station で、 dL を SL で用いる

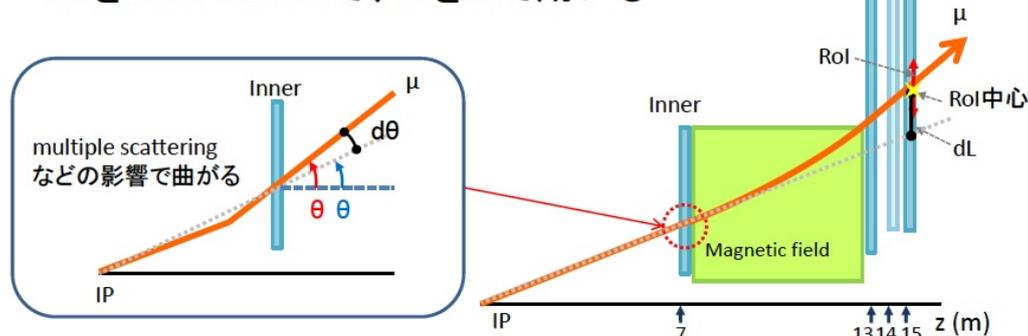


図 2.14 新トリガーシステムを用いた手法

今回のトリガーシステムで見込めるトリガーレートを見積もる。

○運動量分解能の向上 (dL カット)

dL カットの効果に関しては、現在 Lv2 トリガーで使われてる手法を用いたものであるので、Lv2 トリガーレートから考えることができる。Lv2 トリガーは Inner Station にある MDT との間でトラックを再構成して dL カットを用いる。MDT 同様の運動量分解能が得られれば、Lv2 トリガーレートまでイベントを落とすことが期待できる。

よって、まずはモンテカルロシミュレーションを用いて新システムの運動量分解能を見積もった (図 2.15 参照)。黒が現在の Lv1 トリガーで用いている TGC のみで得られる運動量分解能、緑が現在の Lv2 で用いている TGC+MDT で得られる運動量分解能である。その他 3 色は Inner Station にいろいろな角度分解能をもつ検出器を置いたとき、その検出器と TGC で得られる運動量分解能である。角度分解能が 1mrad あれば、MDT と同様の運動量分解能が得られていることがわかる。今回のシステムは角度分解能 1mrad を可能としているので、MDT とほぼ同様の運動量分解能が得られていることがわかる。

次に、図 2.16 に Lv2 においての dL カットをしたトリガーレートを含め、Lv1 から EF までのトリガーレートを示した。黒が Lv1 トリガー、赤が Lv2 トリガーのうち Inner Station の MDT を用いて dL カットしたもの、緑が内部飛跡検出器も用いた最終の Lv2 トリガーレート、青が EF のトリガーレートである。20GeV 運動量閾値における黒と赤を比較すると、トリガーレートを約 1/3 にできていることがわかる。

結果として dL カットはトリガーレートを約 1/3 にできると期待できる。

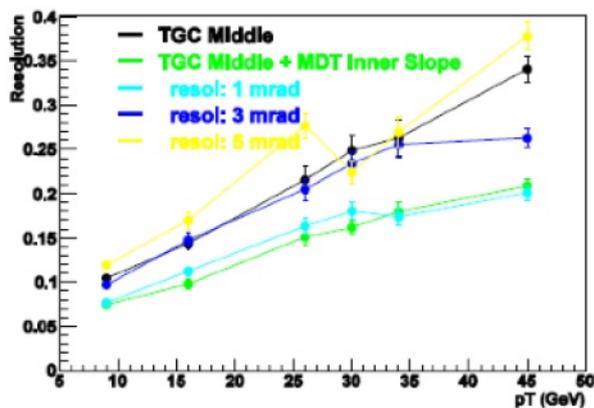


図 2.15 シミュレーションを用いた新システムで得られる各運動量に対する運動量分解能の見積もり:横軸はミュオンの運動量、縦軸はその運動量の時の誤差。例えば TGC Middle(現在の性能)は 40GeV で 0.3、つまり 30%にあたる 12GeV が分解能となる

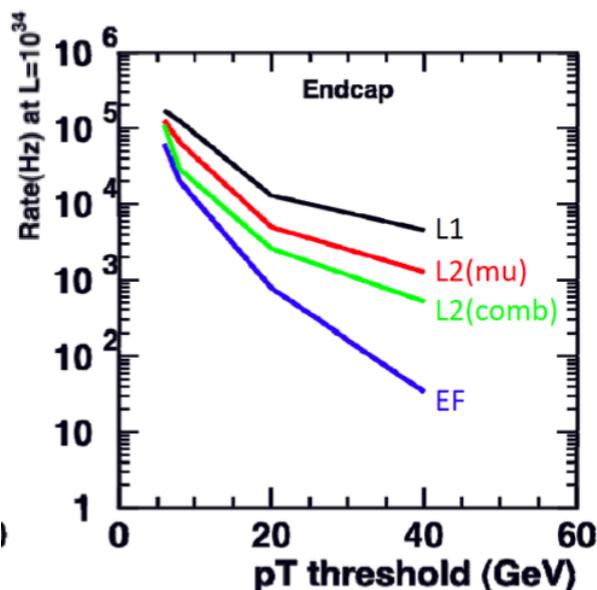


図 2.16 現在のエンドキャップ領域に置く Lv1、Lv2、EF の各運動量閾値毎のトリガーレート

○衝突点から飛来するミュオンの選別 ($d\theta$ カット)

$d\theta$ カットに対しては実データを用いて検証を行った。図 2.17 に 20GeV の運動量閾値を超えた全事象、図 2.18 にそのうち内部飛跡検出器と MDT を使って軌跡が再構成できたもの (Combined Track) を載

せた。色の違いは、白がそのままのデータ、赤が白のうち Inner Station の MDT を用いて軌跡が再構成できたもの、青が赤のデータに $d\theta$ カットをかけたものである。今回 $d\theta$ カットの値は、シミュレーションとデータから、領域によって $10\text{mrad}(\eta > 1.4)$ 、 $20\text{mrad}(\eta < 1.4)$ とした。それぞれのカット後の事象数を表 2.3 にまとめた。

Inner Station のヒットを要求した段階で、Combined track に対して 99% 以上の事象数を残したまま、 20GeV 閾値を超える全イベント数は約 31% まで減らせている。それに加えて $d\theta$ カットをすると、Combined track に対して 85%、全イベント 10% まで落とすことができるのがわかる。 $d\theta$ カットにおいて Combined track のトリガーレートが落ちる原因については、現在解析中で、シミュレーションに含まれない漏れ磁場の影響や、内部検出器の物質量の影響と考えられている。

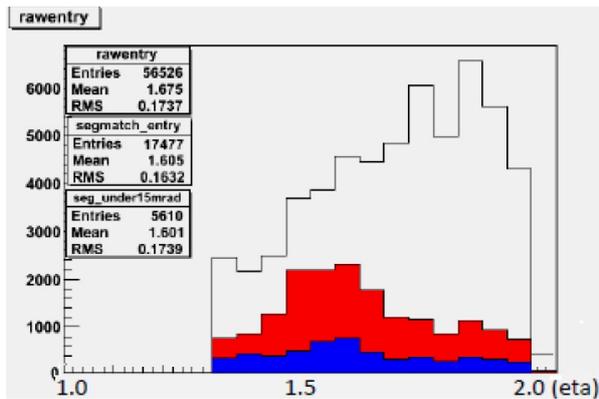


図 2.17 20GeV の運動量閾値を超えた全事象

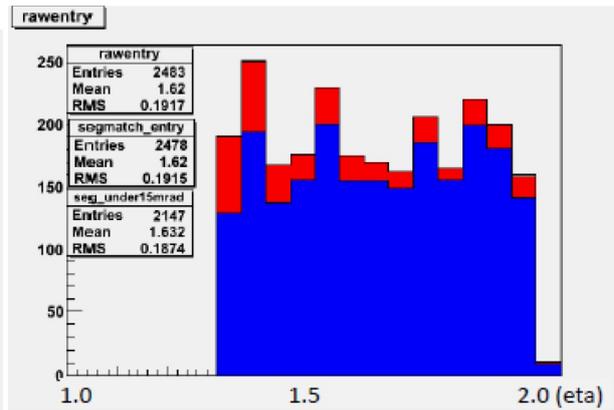


図 2.18 20GeV の閾値を超えた信号のうち、内部飛跡検出器と MDT を用いて軌跡が再構成できたもの

	all	segment	$d\theta$ カット
ALL Lv1_MU20	56526	17477	5610
CB	2483	2478	2147

表 2.3 20GeV 閾値を超えたミュオンに対する Inner Station を用いたバックグラウンド除去の効果

$d\theta$ カットと dL カットは完全に独立したものではないが、トリガー性能の向上としては十分な性能を期待できる。このシステムにおいて TGC はヒット情報とドリフトチューブへのトリガー (Lv0 トリガーと表記) のために使用される。読み出しアルゴリズムについて図 2.19 にまとめた。

Inner Station での読み出しは現在の TGC よりも限られたスペースで行われなければならないため、読み出し系の配置の改良が考えられている。ASD と PP は 40MHz クロックに同期する前の回路なので、長い配線によるノイズや静電容量、信号の鈍りなどの影響を受けやすい。よってその 2 種類の ASIC のみ TGC 側近に配置し、残りは光ケーブルを通して 100m 離れた回路室へと送る。図 2.9 に新システムにおける TGC 読み出しの配置を示した。これによって ASD と PP は衝突点近くの放射線環境に耐え得る必要がある。

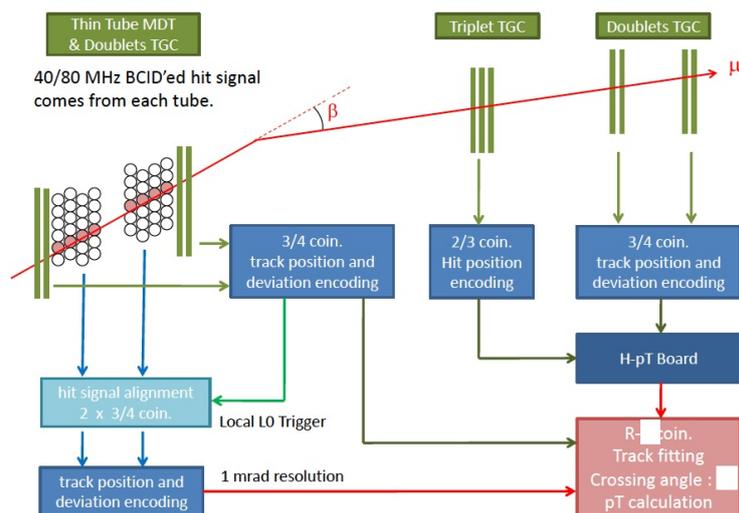


図 2.19 小径ドリフトチューブと TGC を用いた新システムのアルゴリズム

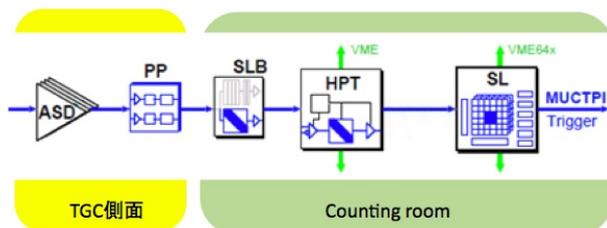


図 2.20 新システムのための TGC 読み出し系の配置:ASD と PP のみ TGC 側近に配置される

2.3 新トリガーシステムへの放射線の影響

ATLAS 実験で用いる回路系には、衝突から飛来するガンマ線や中性子に対する動作保証がなされている必要がある。放射線が半導体素子に与える影響は、主に吸収線量の積算的な効果によるもの (TID: Total Ionising Dose、NIEL: Non Ionising Energy Loss) と吸収線量に関係なく単発の放射線粒子のよって引き起こされるもの (SEE: Single Event Effect) の 2 種類がある。TID は放射線粒子の電離的エネルギー損失による半導体素子の劣化で、漏れ電流や動作閾値電圧の変化など、半導体パラメータに影響を与える。NIEL は非電離的エネルギーによる損傷で、TID と同じく半導体のパラメータを変化させる。SEE は高エネルギーのハドロン粒子によって単発的に起こる現象で、メモリのラッチアップ (反転) やトランジスタの破壊を起こす。

ATLAS 実験での放射線基準のレベル (SRL: Standard Radiation Level) は、RHA (Radiation Hard Assurance) working group がシミュレーションによって求めたものを使用する。参考までに、現在 Inner Station に配置されている MDT ($(Z,R)=(730,210\sim 620)$) の SRL を表 2.4 にまとめた。SRL_{TID} については、10 年間分の積算吸収線量、SRL_{NIEL}、SRL_{SEE} については、10 年間分のフルエンス^{*10}で評価されている。

*10 単位面積を通過する放射線の個数を全照射時間で積分したもの

*11 NIEL については評価する際、粒子のエネルギーや種類に依存しないように、あらゆる粒子のフルエンスは等価 1MeV の中性子で統一的に評価される

*12 20MeV を下回るハドロンは SEE を起こしにくく、20MeV を上回るハドロンの SEU 断面積はほぼ一定とされているため、

SRL _{TID} [Gy] 10年分の積算線量	SRL _{NIEL} [n(~1MeV)/cm ²]* ¹¹ 10年間のフルエンス	SRL _{SEE} [h(>20MeV)/cm ²]* ¹² 10年間のフルエンス
6.38	2.94×10 ¹¹	4.83×10 ¹⁰

表 2.4 LHC の Inner Station での SRL

また SRL には、不確定要素が多く含まれているため、安全係数 (SF) が用意されており、式 2.1 によって耐放射線基準値 (RTC: Radiation Tolerance Criteria) が見積もられる。ここで、 SF_{sim} は SRL のシミュレーションの誤差、 SF_{ldr} は低線量率 (Low Dose Rate) で長時間照射した場合の効果、 SF_{lot} はデバイス製造時のロット間で生じるパラメータの違いを考慮した安全係数である。

$$RTC = SRL \times SF_{sim} \times SF_{ldr} \times SF_{lot} \quad (2.1)$$

最終的に現在の LHC の Inner Station と、そこから概算できる HL-LHC での Inner Station の RTC を表 2.5 にまとめた。HL-LHC では 5 倍のルミノシティを予想しているので、それぞれ 5 倍した量の放射線耐性が必要だと概算できる。ただし、新システムが設置される全領域 (MDT の基準座標から、測定器の幅 ($Z \pm 35\text{cm}$)) を考えると、最大で、そのさらに 4 倍程度の被爆量が予想される。

	SRL[10years]	SF_{sim}	SF_{ldr}	SF_{lot}	RTC[10years]	RTC _{HL-LHC} [10years]
TID	6.38[Gy]	3.5	5	2	2.23×10 ² [Gy]	~1.1×10 ³
NIEL	2.94×10 ¹¹	5	1	2	2.94×10 ¹² [/cm ²]	~1.5×10 ¹³
SEE	4.83×10 ¹⁰	5	1	2	4.83×10 ¹¹ [/cm ²]	~2.4×10 ¹²

表 2.5 LHC の Inner Station での RTC と HL-LHC での見積もり

これで今回の目標とする放射線耐性を求めることができた。新システムのハードウェアは過酷な放射線環境の中で安定動作することが要求される。TGC 側近に配置される ASIC として ASD と PP の 2 種類を考えているが、これらに対する放射線耐性は保証されていない。十分な放射線耐性を持つ読み出し系を作ることは、新システムを稼働させるための必須条件と言える。

2.4 研究意義

LHC でヒッグス粒子の精密測定を行うためには、高統計物理を目指すためのミュオントリガーシステムのアップグレードは必須である。新システムはドリフトチューブと TGC で構成されており、Inner Station に配置される。今回の研究では、新システムの収集効率を大きく左右する、TGC 読み出し系のうちの PP ASIC に注目した。

- 新トリガーシステムの中で、PP として十分な機能を有すること
- 過酷な放射線環境下での安定動作

を満たす ASIC を作成し、LHC アップグレードが実行可能なものであることを証明する。

20MeV を閾値を用いている

3 ASIC の設計と動作検証

この章では実際に作成した 2 種類の ASIC の内部回路の説明をして、動作検証の結果を述べる。まず ASIC を構成する MOSFET について説明する。その後今回作成する ASIC の仕様についてまとめ、それを基にした実際の設計と動作検証結果を述べる。

3.1 MOSFET

3.1.1 動作原理

MOSFET は Metal-Oxide-Semiconductor Field Effect Transistor の略称である。図 3.1 のように、p 型の Si 基板に n 型の領域を 2 か所作り、その 2 か所を橋渡しするように MOS キャパシタを作りつけたものである。それぞれの領域に金属電極を形成して、ソース、ドレイン、そしてゲートとする。図 3.1 の例は n チャネル型 MOSFET (NMOS) の例であるが、n と p を入れ替えると p チャネル型 (PMOS) となる。この図において N 型の領域の間の長さをチャンネル長 L 、それぞれの奥行き方向の長さをチャンネル幅 W で表す。 W, L については製造プロセスによって上限値、下限値が決められている。PMOS と NMOS を用いて作られた構造を CMOS (Complementary MOS) と呼ぶ。

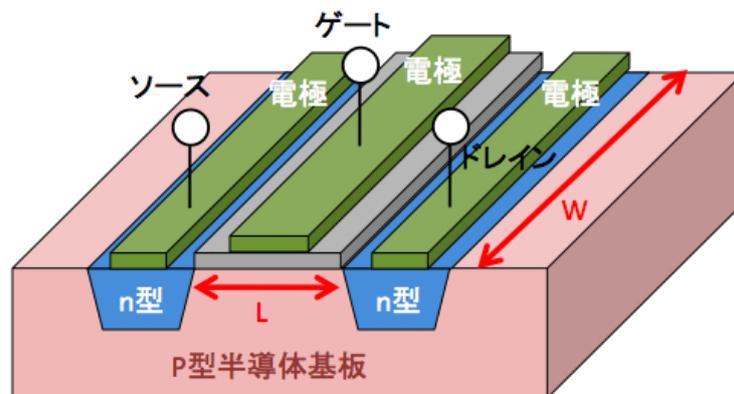


図 3.1 MOSFET の構造

MOSFET はバイポーラトランジスタと違い、ゲート”電圧”に対応した電流がドレイン-ソース間に流れる。ゲートからドレインやソースへの漏れ電流はほとんどない。等価回路を図 3.2 に、モデル図を図 3.3 に示す。図 3.3 で、ソースから点線でつながれた電極をバックゲートといい、特に指定がない限りソース電圧と同じ電圧を与える。そのとき MOSFET に流れる代表的な V_{ds} - I_d 特性グラフを図 3.4 に示す。

おおまかにバイポーラトランジスタと同じ振る舞いをするが、流れる電流量が V_{gs} によっているところが特徴である。ある閾値電圧 V_T を V_{gs} が超える前の部分を線形領域、超えた後の部分を飽和領域と呼び、それぞれの電流量は以下の式で表される (W :チャンネル幅、 L :チャンネル長、 μ :半導体中の電子の移動度、 C_{ox} :MOS キャパシタの単位面積あたりの容量)。

$$I_d = \frac{W}{L} \mu C_{ox} [(V_{gs} - V_T) V_{ds} - \frac{1}{2} V_{ds}^2] \quad (3.1)$$

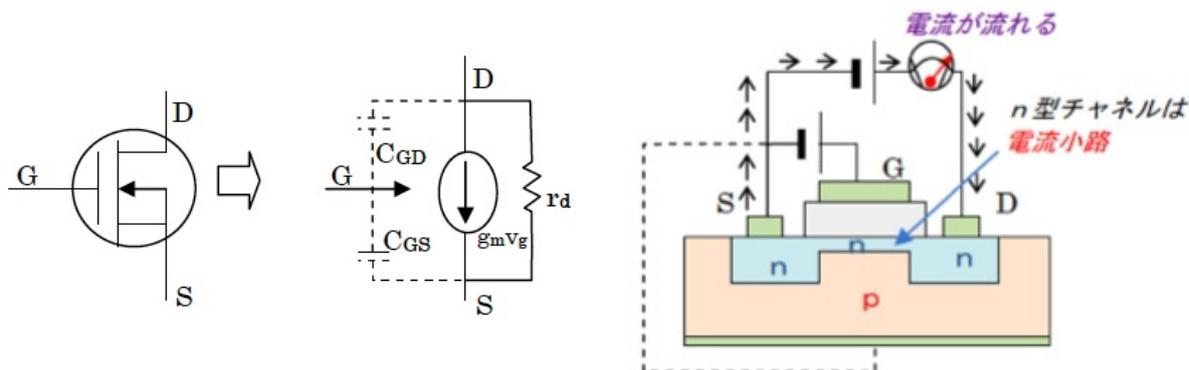
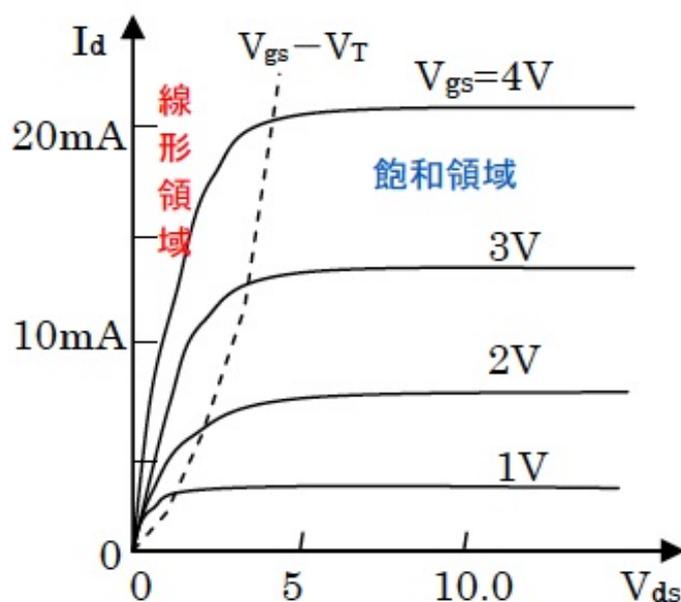


図 3.2 MOSFET の等価回路

図 3.3 MOSFET のモデル図

図 3.4 代表的な V_{ds} - I_d 特性

$$I_d = \frac{W}{2L} \mu C_{ox} (V_{gs} - V_T)^2 \quad (3.2)$$

しかし現実の MOSFET は、飽和領域になっても V_{ds} に比例して I_d が増えていく。これをチャネル長変長効果と呼び、式 3.2 に $(1 + \lambda V_{ds})$ をかけた形で表される。さらに、現実の MOSFET はドレイン、ソースなどにそれぞれ直列の抵抗を持っているため、 I_d が増えるほど、実際にかかっている V_{gs} 、 V_{ds} は小さくなる。MOSFET を用いて ASIC を設計する際、MOSFET のパラメータとして変化させるのは W と L である。それらは以下に ASIC の性能として表れる。

$W \times L$

$W \times L$ で各 MOSFET の静電容量の値を変化させることができる。回路の時定数や、抵抗からくるノイ

ズ量の変化として表れる。

W/L

W/L は相互コンダクタンス (g_m) と呼ばれる電流制御能力として表れる。式 3.1 や式 3.2 を見てもわかるように、W/L が大きいほど、小さな V_{gs} の増加で大きな I_d が流れる。

L

L が大きいほど、チャンネル長変調の影響を受けにくくなる。理想的な定電流源を作る場合、なるべく L の大きな MOSFET で設計する。

この MOSFET を組み合わせることで要求を満たす ASIC を作成する。

3.1.2 MOSFET の放射線耐性

PP ASIC の満たすべき性能のうち、優先すべきなのは主機能である遅延回路と、放射線耐性だと考えている。特に ASIC の動作速度を変化させる TID の耐性については、遅延回路としての性能に大きく関わるので十分に保証されていなければならない。TID は荷電粒子が絶縁膜層を通過時に電子-ホール対を作り、移動度の違いでホールだけが取り残される結果、MOSFET の動作閾値電圧や漏れ電流の変化として表れる。一般に ASIC の TID 耐性をあげるためには絶縁膜が薄い製造プロセスを用いれば効果的なことがわかっている。図 3.5、図 3.6 に過去に行われた NMOS の TID 耐性に対する結果を載せた [8]。それぞれ、動作閾値電圧、漏れ電流の変化量である。それぞれのデータは、TID の影響を一番受けるように NMOS に電圧をかけた状態で行った結果である ($V_{gs}=2.5V$ 、 $V_{ds}=V_{bgs}=0V$)。図 3.5、図 3.6 の凡例はチャンネル長の下限值で表しているため、それぞれの絶縁膜厚を表 3.1 にまとめた。

色	青	黒	ピンク	赤
最短チャンネル長	$0.50\mu\text{m}$	$0.50\mu\text{m}$	$0.35\mu\text{m}$	$0.25\mu\text{m}$
絶縁膜厚	10nm	10nm	7nm	5.5nm

表 3.1 TID 試験に使用した様々なプロセスの MOSFET

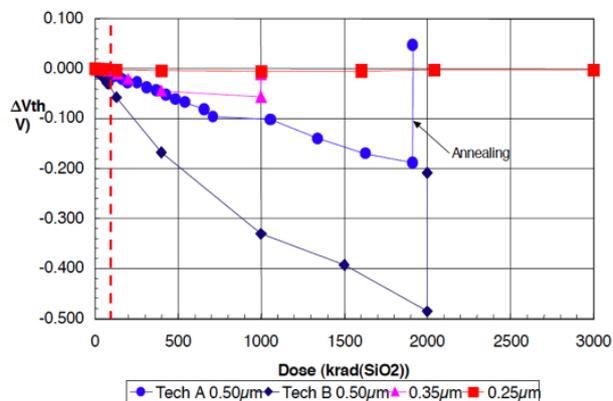


図 3.5 プロセスごとの放射線被曝量に対する動作閾値電圧の変化

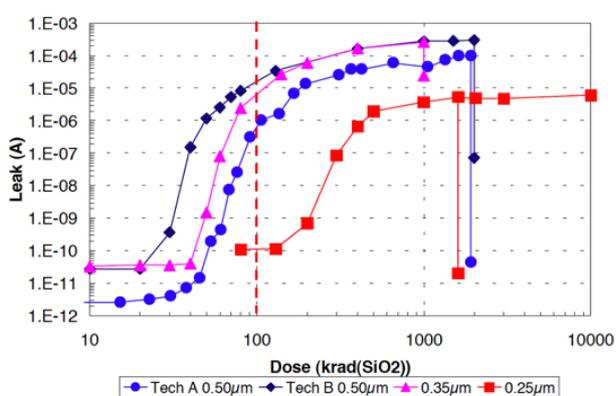


図 3.6 プロセスごとの放射線被曝量に対する漏れ電流の変化

放射線被曝量ごとに、動作閾値電圧、漏れ電流共に変化しているのがわかる。今回目標としている $1\text{kGy}(100\text{krad})$ (図 3.5、図 3.6 中赤線) に対して各プロセスを見たとき、 $0.25\mu\text{m}$ プロセスは動作閾値電

圧、漏れ電流共に大きな変化が無いことがわかる。よって今回の PP ASIC 作成は $0.25\mu\text{m}$ プロセスで行うことにした。

3.2 アップグレードに向けた ASIC の仕様

前節を受けて、使用する MOSFET の製造プロセスは、UMC 社の $0.25\mu\text{m}$ プロセスにした。最短チャンネル長は $0.25\mu\text{m}$ 、絶縁膜厚は 5.5nm 、耐電圧は 2.5V である。

内部回路としては TID によって影響を受けるであろう回路を選別し、以下の回路を持たせることにした。それぞれの回路ごとに必要となる性能やモチベーションをまとめる。詳しくは後述の回路設計で述べる。

LVDS レシーバ

前段 ASIC である ASD からの LVDS 規格の信号を受け取るための回路である。差動アンプの構成をしているため、絶縁膜の薄いプロセスを使用することによる MOSFET の耐電圧の低下の影響を受けることが予想される。LVDS レシーバも BCID 前の回路であるので、入力信号や電源電圧の揺れや放射線被爆量に関わらず、伝播時間のふらつきを 1ns 以下に抑える必要がある。

1ns 以下の遅延ステップ、25ns 以上の遅延幅を持つ可変遅延回路

PP ASIC のメイン機能である。TGC の最適動作のためには、 1ns 以下の遅延ステップ、 25ns 以上の遅延幅が必要となる。もちろん LVDS レシーバと同じく環境の違いによる伝播時間のふらつきも 1ns 以下でなければならない。

電源電圧や温度の変化など、環境の変化に対して遅延保証を行う PLL 回路

PLL(Phase Locked Loop) とは、リファレンスのクロックに対して、自身の発振回路の周波数を合わせる回路である。PP ASIC において PLL を用いて環境の変化に対する遅延保証を実現する。

テストパルス回路

テストパルス回路は TGC の読み出し系の動作テストに必要な回路である。MOSFET を用いた電流源の構成をしているため、漏れ電流や動作閾値電圧の変化として現れる TID の影響を直接受ける回路だと言える。

可変遅延回路以降の回路は 40MHz のクロックに同期して動く回路になるので、伝播時間のふらつきは大きな問題ではなくなる。回路の制御はテスト基板から直接行うこととし、ASIC 内にメモリなどの回路は搭載しないことにした。

また今回使用する製造プロセスに対して図??と同様のプロットを作成するために TEG(Test Element Group) ASIC と呼ばれるトランジスタのテスト用 ASIC も作成した。理由は 2 つある。

- W と L が放射線耐性に与える影響を評価するため
- 放射線耐性は製造業者の違いによって変化するので、個別の評価が必要であるため

今回の TEG ASIC には標準の MOSFET の他に、高放射線耐性を持つ ELT(Edge Less Transistor もしくは Enclosed Layout Transistor) と呼ばれるタイプの NMOS も搭載した。これは、HL-LHC でさらなる放射線耐性が必要になったときのリファレンスとして用いることができる。

3.3 Patch Panel ASIC の設計

今回作成したプロトタイプ PP ASIC のブロック図を図 3.7 に示す。TGC からの信号が通過するのは緑枠で囲まれた、LVDS レシーバと遅延回路を通過するラインである。実際の ASIC は 1 つで複数のチャンネルに

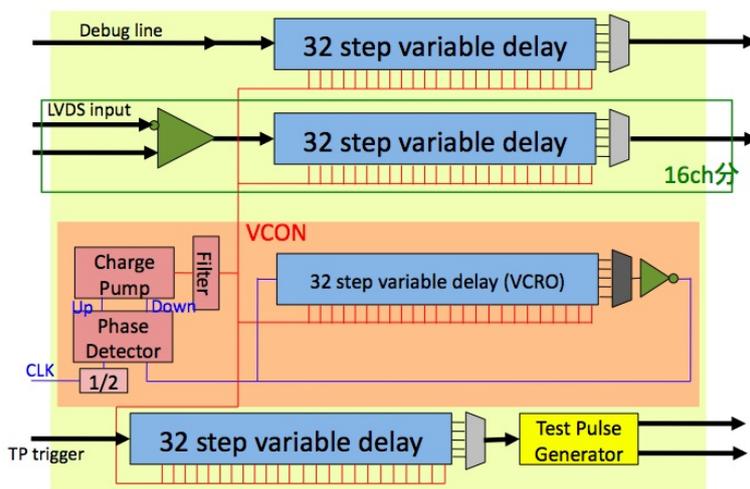


図 3.7 PP ASIC のブロック図

対してタイミング調整をするため、今回は 16 チャンネル分作成した。このラインを今後シグナルラインと呼ぶ。また遅延回路だけのラインも作成し、これをデバッグラインと呼ぶことにする。他に PLL、テストパルス回路も実装し、今回目標とするデザインになっている。

3.3.1 PLL と遅延回路

3.3.1.1 遅延回路

まず主機能となる遅延回路の構造から説明する。図 3.8 に遅延回路のブロック図を載せた。

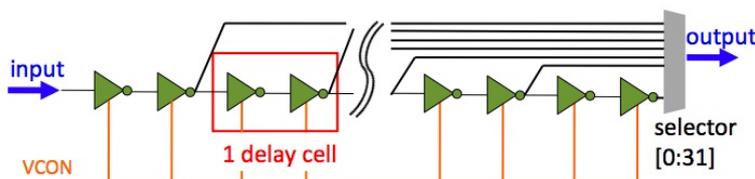


図 3.8 遅延回路のブロック図

1ns の遅延ステップ、25ns の可変遅延幅を達成するための作戦を以下に示す。

1. 2 つのインバータを 1 つの遅延素子として、それを 32 個つなげる
2. 32 個の遅延素子のうち、任意の数の遅延素子を通過した時点での信号を出力信号とするために、それぞれの遅延素子の出力をセレクタにつなぐ
3. 32 個通過した時点での総遅延時間を 25ns になるように各遅延素子の遅延時間を調整する
4. セレクタで通過する遅延素子数を選択できるので、1ns 以下 (25/32)ns の遅延ステップ、25ns の可変遅延幅を獲得できる

図 3.9 に実際の遅延素子の回路図を示す。1 つめのインバータを通過した後に上部についているのは各インバータ間の静電容量を同じにするためのダミー回路である。各インバータ間に上下についているトランジスタは、電圧の安定化と、静電容量を調整し動作速度をおおまかに決めるためにつけてある。

この回路において、各インバータの遅延時間を変化させるのは NMOS-GND 間についているトランジスタである。このトランジスタのゲート電圧を変化させることで、遅延時間の調整を行うことができる。トランジスタに NMOS を用いているので、電圧が高いほど電流量が増え、結果として動作が速くなる。逆に電圧が低いほど遅くなる。この電圧を遅延時間を調整する電圧という意味で今後 VCON と呼ぶことにする。VCON を全体の遅延時間が 25ns になるようにフィードバックをかける回路を、後述の PLL を用いて作成する。

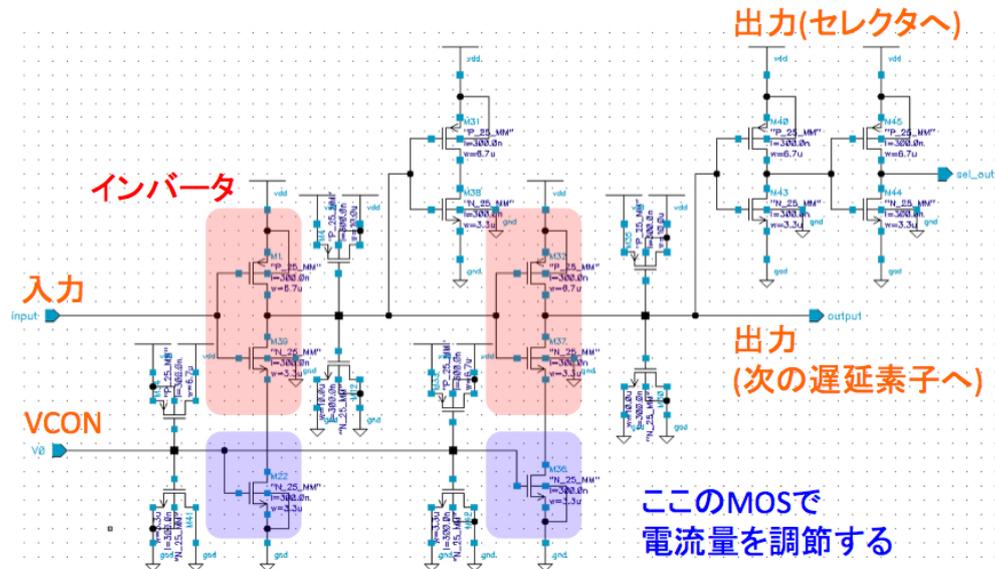


図 3.9 遅延素子の回路図:インバータ 2 つを中心に構成されている

今回の回路において、セレクタには外から 5 ビットの信号を与えることで 32 段階の遅延調整ができるようにした。

3.3.1.2 PLL

Phase Locked Loop(PLL) は、リファレンスとなるクロックに自身の発振回路の周波数を合わせることができる回路である。PLL は電圧制御リングオシレータ (VCRO:Voltage Control Ring Oscillator) と、位相検出器、チャージポンプ、ローパスフィルターから構成される。それぞれについて説明する。

VCRO

VCRO は前述の遅延素子を 32 個つなげた後、1 つのインバータを通して入力に戻すことで発振回路を形成する。また遅延回路と同様に、VCRO を構成する各遅延素子の出力はセレクタにつながっており、発振回路を構成する遅延素子数を変えられるようにした。これによって遅延素子 1 つあたりの遅延時間と、遅延幅を変えられるようになる。例えば遅延素子 28 個で VCRO を構成したときは、28 個通過時点での遅延時間が 25ns になるように VCON が動くので、遅延素子 1 個あたりの遅延時間は $(25/28)$ ns、遅延幅は $(25/28) \times 32$ ns となる。

位相検出器

回路図を図 3.10 に示す。位相検出器は VCRO と、リファレンスとなるクロックの立ち下がり時間差を比較し、下流のチャージポンプに VCON の値を変化させるよう信号を出す (図 3.11 参照)。可変遅延回路の伝播時間を 25ns にしたいとき、リファレンスとして与えるクロックは 20MHz になる。位相検出器は全てデジタル回路として記述される。

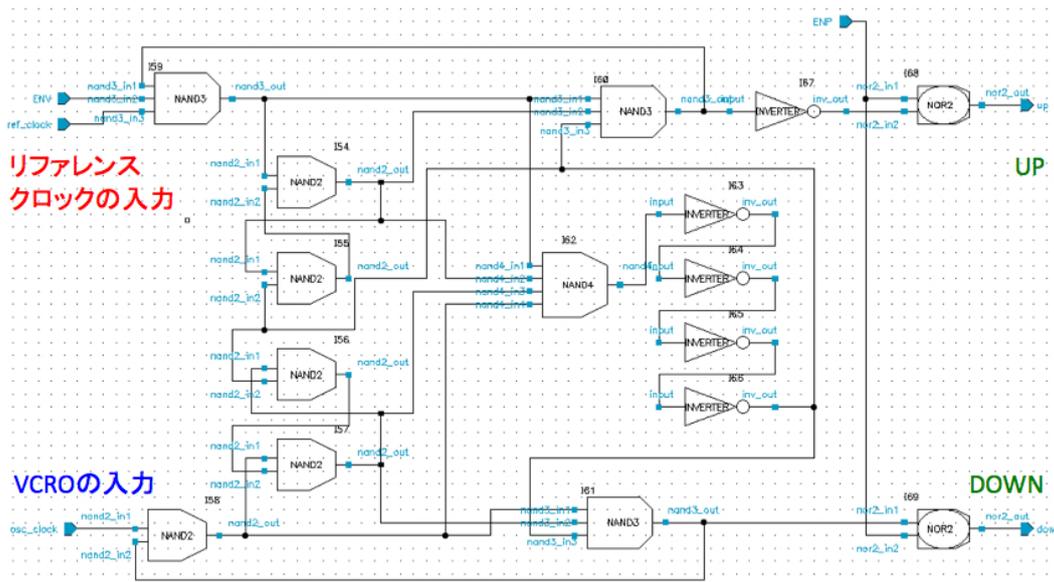


図 3.10 位相検出器の回路図

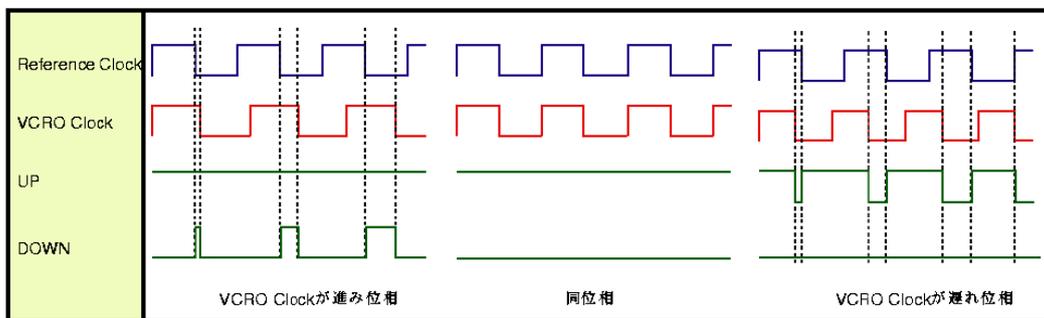


図 3.11 位相検出器のタイミングチャート

チャージポンプとローパスフィルタ

チャージポンプの回路図を図 3.12 に示す。位相検出器から出力である UP と DOWN は、それぞれ図 3.12 の赤枠の PMOS と青枠の NMOS のゲートに接続されている。リファレンスのクロックと VCRO の周波数が同じのときは、出力の VCON は回路として浮いている状態にある。リファレンスのクロックに対して VCRO の周波数が遅れ位相だったとき (図 3.11:右)、UP が low(0V) になり、赤枠の PMOS が導通し、VCON は電源電圧である 2.5V と接続される。逆に進み位相のときは、UP が hi(2.5V) になり、青枠の NMOS が導通し、VCON は GND である 0V と接続される。その出力の時定数をローパスフィルタで調整する。今回は ASIC 内部に抵抗 (約 6.5kΩ) と、外付けで 10kΩ の抵抗と、70pF のコンデンサを使用している。2 つの抵抗の間の電圧が、最終的な VCON として全遅延素子に供給される。

3.3.2 LVDS レシーバ

現在の予定では前段 ASIC からの信号は中心電圧 1.2V、振幅 400mV の LVDS 規格で送られる予定である。LVDS 規格を図 3.13 に示す。LVDS 規格の特徴として、差動型の信号であるためにノイズに強いこと、電圧

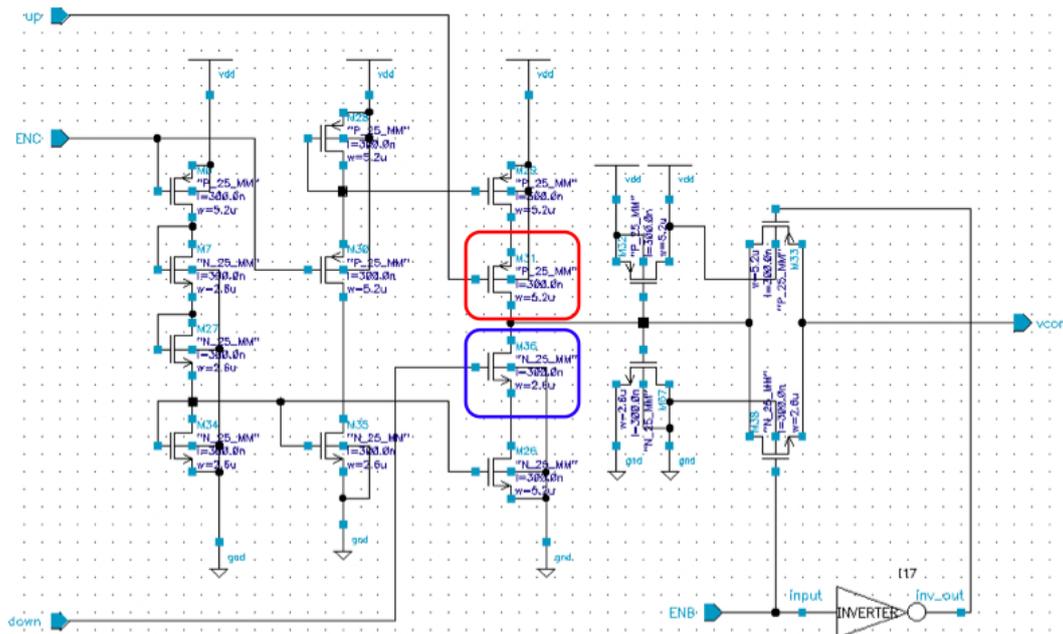


図 3.12 Charge Pump の回路図

の振幅が小さいため (400mV) に消費電力が小さくてすむことなどが挙げられる。レシーバには低電力でもノイズに対するの耐性をあげるために、中心電圧の $\pm 1V$ での稼働が保証されていなければならない。^{*11}回路図を図 3.14 に示す。

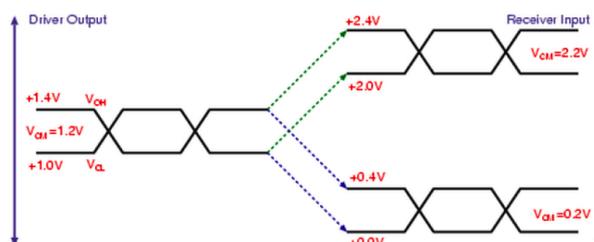


図 3.13 LVDS 規格

全体として 1ns 以下の遅延精度が要求されているので、LVDS レシーバも入力の揺れによる伝播時間の変化を抑える必要がある。LVDS レシーバの入力に対する伝播時間を一定にするには、

- 差動アンプの W/L 比を大きくする
- 限りなく定電流源に近い電流源を作る

の 2 つが有効だと考えられる。W/L 比を大きくすることで、差動アンプの on/off が極端になり、最終的な立ち上がり (立ち下がり) をシャープにする。また電流量の違いはそのまま MOSFET の動作の速さとなって表れるため、それを一定に保つことが重要となる。以上をふまえて MOSFET の W と L を調整した。

^{*11} 今回は電源電圧が 2.5V で与えられているため、+1V の側でどうしても出力できなくなる。よって正確には疑似 LVDS 規格となる。

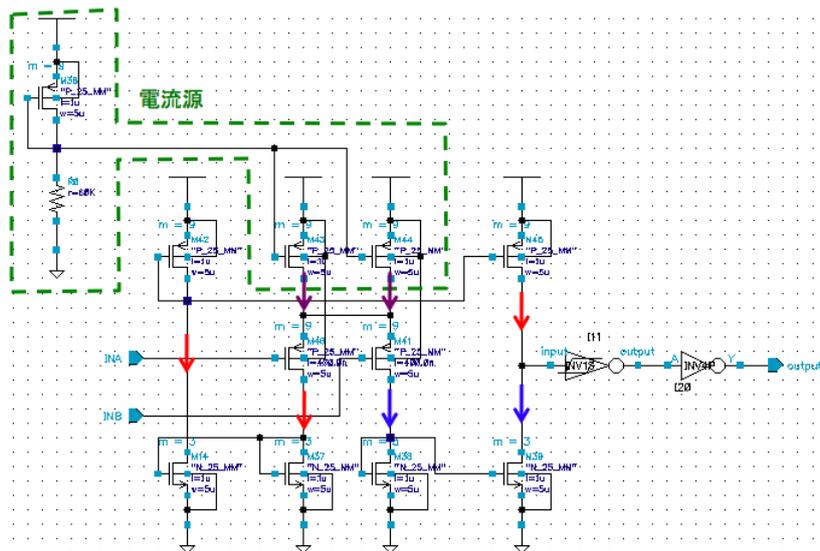


図 3.14 LVDS レシーバの回路図:動作原理は、電流源からの電流 (紫) を差動アンプで受けて、片方に大電流 (赤)、もう片方にはほぼ 0 の電流 (青) が流れるようにする。それを電流ミラーで映して行って、最終的に 2.5V から大電流が流れるか、GND に大電流が流れ込む。図の場合だと 2.5V から大電流が流れ、出力は 2.5V になる。

3.3.3 テストパルス回路

テストパルス回路は MOSFET を電流源として用いて、それを外付けの抵抗で GND から釣り上げて電圧パルスとして用いる構成にした。また外から 4 ビットの信号を入れることで 16 段階の電圧調整が可能ないようにした。回路図を図 3.15 に載せる。この図では 5 つの電流源しか載っていないが、実際には同様のものが 15 個並んだ構成になっている。

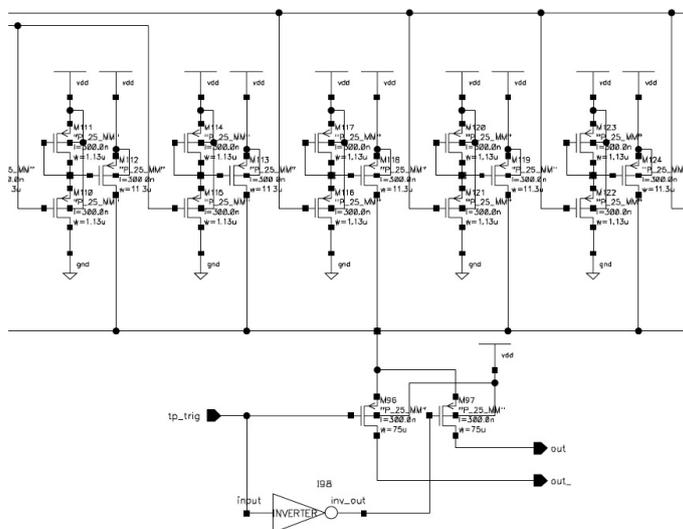


図 3.15 テストパルス回路の回路図

3.4 Patch Panel ASIC の動作検証

まず今回の ASIC において、PP ASIC としての要求性能を満たすことを確認するための測定項目を表 3.2 にまとめる。

回路名	検証項目	評価基準
LVDS レシーバ	LVDS 入力の中心電圧、振幅を変えての伝播時間測定	伝播時間の変化 1ns 以下
	電源電圧の変化に対する伝播時間測定	
	温度変化に対する伝播時間測定	
可変遅延回路 と PLL	外部から VCON を供給して、伝播時間測定	リファレンスクロックと同調可能
	VCRO の遅延素子数を変えて、伝播時間測定	1ns 以下の遅延ステップ 25ns 以上の遅延幅
	電源電圧の変化に対する伝播時間と VCON の測定	伝播時間の変化 1ns 以下
	温度変化に対する伝播時間と VCON の測定	
テストパルス回路	出力振幅の測定	0~300mV 程度の出力 リニアリティ

表 3.2 PP ASIC としての性能測定項目

ほとんどの評価基準は、BCID 前のタイミング調整の要請である、「1ns 以下の精度での遅延」から来ている。さらにそれらが環境の変化に対しても保証されているかどうかを確かめる。LVDS レシーバに関しては ASD との性能の兼ね合いになる。ASD も今後開発予定なので、PP ASIC でできるだけ 1ns 以下の精度を目指した上で、ASD への要求性能を決める。テストパルス回路の基準は現行の ASIC を参考にした。

今回の動作検証にあたり、テスト用基板の設計も行った。16 チャンネルある入力のうち、1 チャンネルのみ独立した入力、他 15 チャンネルは共通の入力を用いるようにした。また出力はプローブで読み取れるようピンで配置し、各制御ビットにはスイッチを用いて H/L の切り替えができるようにした。テスト用基板の写真を図 3.16 に載せる。

このテスト用基板を用いて実際に動作検証を行った。動作検証において、オシロスコープは Tektronix 社製の TDS3054B を、パルサーは同じく Tektronix 社製の DG2030 を用いた。DG2030 は、デジタル波形を作るためのデータジェネレータで、最速立ち上がり時間 1ns、最小振幅 250mV、出力電圧-1.5V~3.5V で、いかなるデジタル波形も作ることができる。内部クロックは最大周波数 409.6MHz で、それに同期したデジタル波形を作る。今回使用するのは LVDS 信号と 0V-2.5V の TTL 信号、波長は 25ns なので、十分な性能といえる。特に記述がない限り、電源電圧は 2.5V、室温(約 24)で試験を行っている。

3.4.1 LVDS レシーバ

LVDS レシーバの動作検証はシグナルラインで行う。入力に対するそれぞれの言葉の定義を図 3.17 に示しておく。ASD からの LVDS の中心電圧と振幅の典型値はそれぞれ 1.2V、400mV となっている。LVDS レシーバの動作検証のためのセットアップを図 3.18 に示した。

まず中心電圧 (offset) と振幅 (amplitude) の変化に対する LVDS レシーバの伝播時間測定を行った。テスト結果を図 3.19 に示す。結果から入力の典型値である $V_{off}=1.2V$ を中心に広い範囲で 1ns 以下の遅延保証がされていることがわかる。

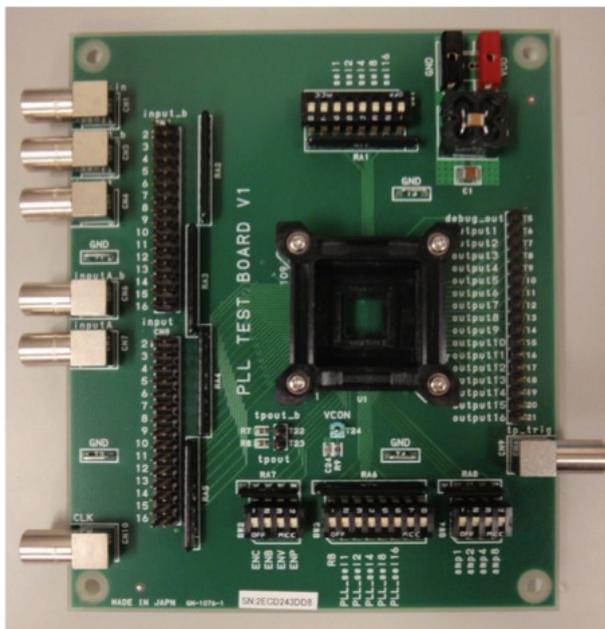


図 3.16 PP ASIC テスト用基板の写真

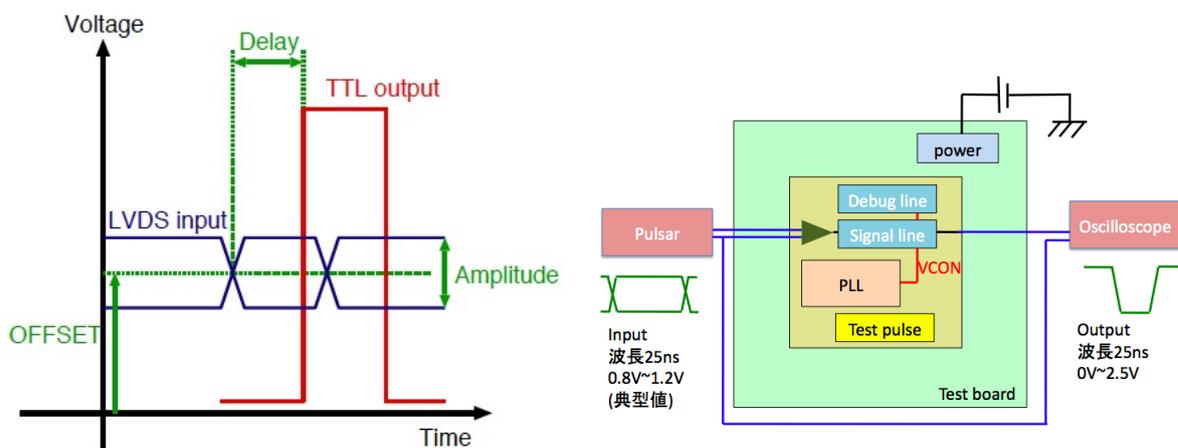


図 3.17 LVDS input の定義

次に、電源電圧の変化に対する関係を伝播時間測定を行った。横軸は V_{offset} 、縦軸に伝播時間でプロットし、振幅は典型値である 400mV にした。結果を図 3.20 に示す。この結果から、電源電圧の揺れは 0.2V 程度で 1ns の伝播時間の変化として表れることがわかる。現在このような電源電圧の揺れは起こらないと考えられているので問題ない。

温度変化に対しては単体で評価できないため、デバッグラインと合わせて次項で評価する。

3.4.2 可変遅延回路と PLL

次にデバッグラインを使って、可変遅延回路及び PLL の動作検証を行った。

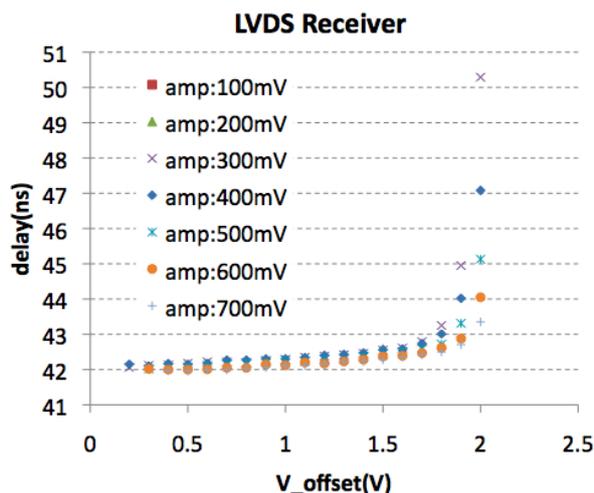


図 3.19 中心電圧と振幅の変化に対する LVDS レシーバの伝播時間測定

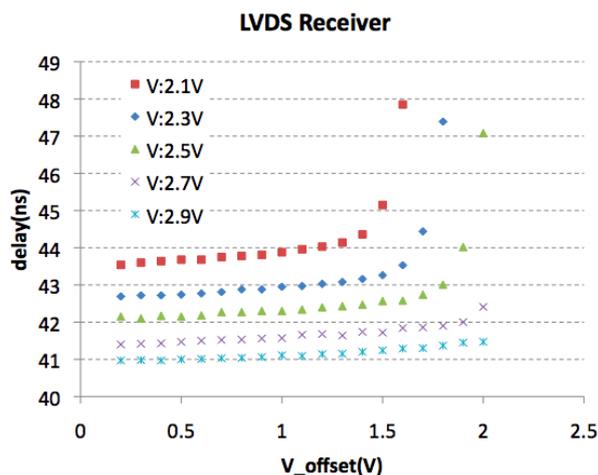


図 3.20 電源電圧の変化に対する LVDS レシーバの伝播時間

まず外部から VCON を供給しての伝播時間測定を行った。この測定の目的は、VCRO の周波数が VCON によって調整可能範囲にあり、かつ VCON の揺れに対して遅延時間が大きく変化しないかどうかを確認することである。セットアップを図 3.21 に、結果を図 3.22 に示す。それぞれ 32、28、24 の遅延素子数ごとの VCON と遅延時間の関係になっている。各遅延素子数で合計 25ns の遅延になる VCON が、それぞれの遅延素子数で VCRO を発振させたときの VCON の値になる。結果から、VCON=2.5V のときの遅延時間 (一番短い遅延) が約 15ns なので、VCON によって調整可能な範囲にあることがわかる。また、全体の遅延時間が 20~30ns の領域では、VCON の揺れ約 0.02V で遅延回路全体として約 1ns の遅延時間差になることが予想される。よって、VCON のふらつきは 0.02V より十分小さい値でないといけない。実際各測定における VCON の値は 1mV 程度のふらつきということがわかっている。

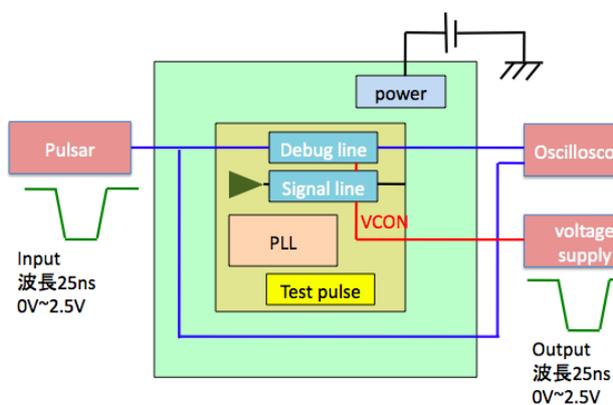


図 3.21 VCON を供給しての伝播時間測定のためのセットアップ

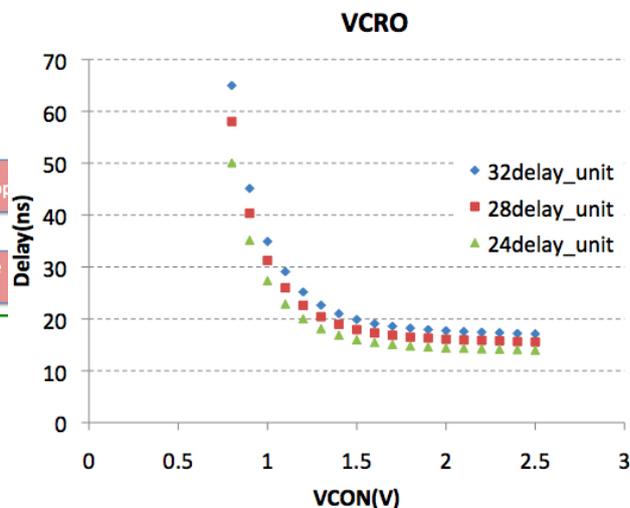


図 3.22 遅延回路における VCON と遅延時間

次に VCRO の遅延素子数を変えて伝播時間測定を行った。セットアップを図 3.23 に示す。この動作検証で、1ns 以下の遅延ステップ、25ns 以上の可変遅延幅があるかどうかを確認する。横軸の Delay step は、いくつ目の遅延素子を通じた時点で信号を取り出したか、という意味で、外部スイッチからセレクタを制御して変化させている。結果を図 3.24 に示す。理想的には PLL を遅延素子 32 個で発振させたとき、可変遅延幅が 25ns になっているはずである。しかし実際には遅延素子 32 個 + セレクタ + インバータでの発振回路の周波数が 20MHz になるように VCON が調整されるため、結果として 25ns よりも少し短い伝播時間となる。それに加えて、セレクタから取り出せるのは遅延素子 31 個分の幅になるので、25ns の可変遅延幅を達成できていないことがわかる。表 3.3 にそれぞれの VCRO の遅延素子数で発振させたときの、遅延ステップ幅と最大遅延時間をまとめた。PLL を遅延素子 32 個で発振させたときは 25ns の遅延範囲を獲得することはできないが、28 個、24 個で発振させれば 25ns の可変遅延幅と、1ns 以下での遅延ステップの双方を満たすことがわかる。

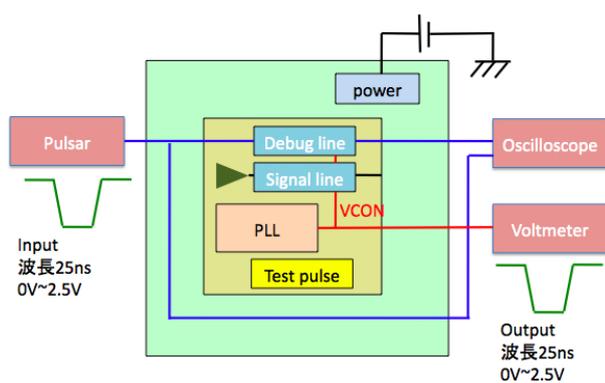


図 3.23 シグナルラインに関わる動作検証をするためのセットアップ

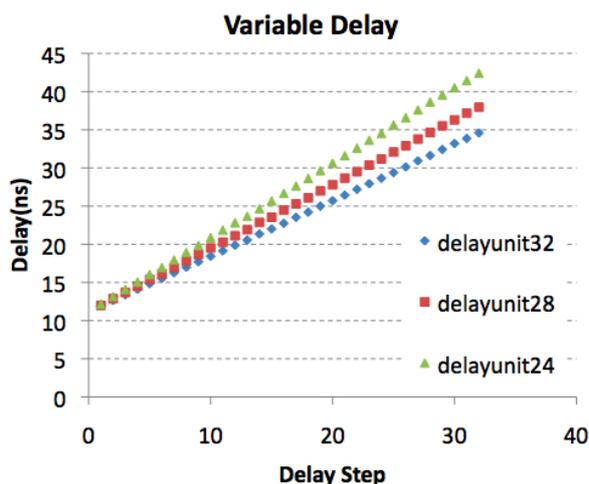


図 3.24 VCRO の遅延素子数を変化させての伝播時間測定

VCRO	VCON[V]	遅延ステップ幅 [ns]	最大遅延時間 [ns]
32	1.07	0.73	22.67
28	1.01	0.84	25.96
24	0.948	0.98	30.25

表 3.3 VCRO を各遅延素子数で発振させたときの、可変遅延回路としての性能

次に PLL を各遅延素子数で発振させたときの電源電圧の変化による影響を調べる。セットアップは図 3.23 と同様で、電源電圧を変化させている。結果をそれぞれ、32:図 3.25、28:図 3.26、24:図 3.27 に示す。数字はいくつの遅延素子で VCRO を発振させたか、という意味である。それぞれの凡例の括弧内の数字はそのときの VCON の値を示してある。結果から PLL による調整が働いて、電源電圧の変化による伝播時間への影響が無いことがわかる。系統だって電源電圧の高いほうが伝播時間が短いのは、デバッグラインは遅延回路の他に ASIC の入出力にドライブ回路としてインバータをつけていて、その動作速度が電圧が高いほうが早いからである。

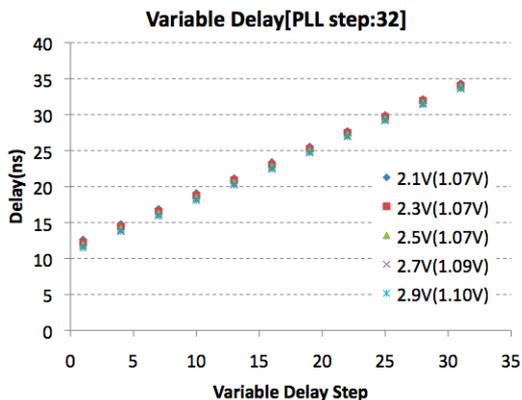


図 3.25 遅延素子 32 個の PLL での電源電圧の影響

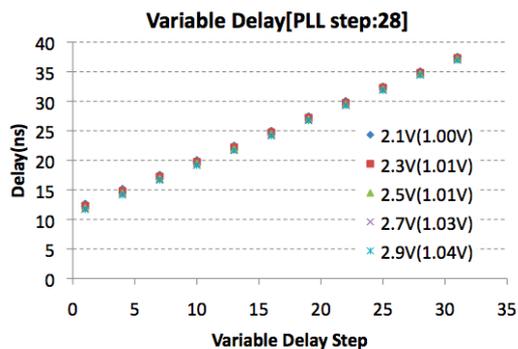


図 3.26 遅延素子 28 個の PLL での電源電圧の影響

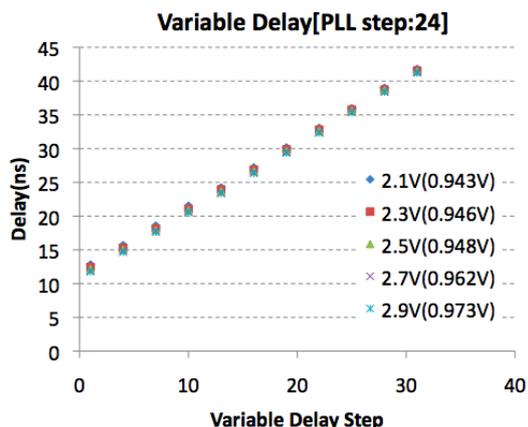


図 3.27 遅延素子 24 個の PLL での電源電圧の影響

最後に温度による性能の変化を調べた。温度変化は MOSFET 中の電子、あるいはホールの移動度に影響を与える。PLL、遅延回路の遅延素子数はともに 28、VCRO の遅延素子数も 28 として、5 ~40 まで 5 刻みで測定を行った。結果を図 3.28 に、またそのときの VCON の値の変化を図 3.29 に示す。

結果から、温度変化に対しても PLL が有効に働いていること、LVDS レシーバの伝播時間も影響を受けないことがわかった。2 つの伝播時間は LVDS レシーバの伝播時間の分だけ差を持っている。またこの結果から室温の揺れに対する VCON の揺れの目安として、0.001V/ が確認できる。

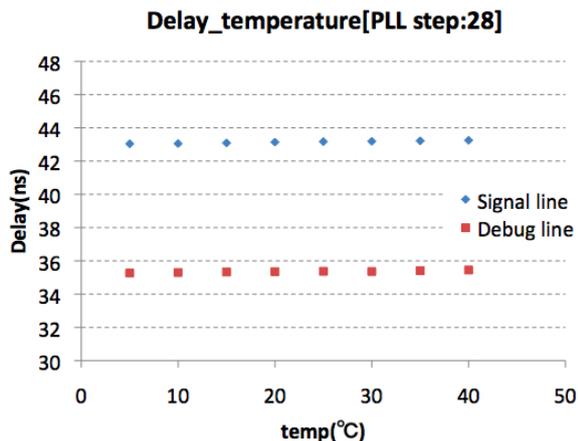


図 3.28 シグナルライン、デバッグラインへの温度の影響

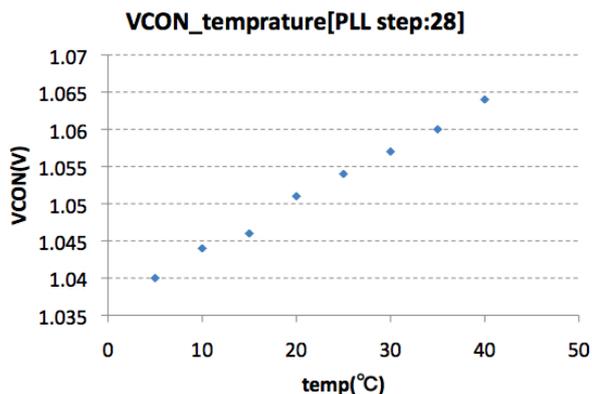


図 3.29 温度変化による VCON の変化

3.4.3 テストパルス回路

テストパルス回路は TGC からの信号を模したパルスを ASD の入力に送る。出力信号の振幅を可变的にしておくことで、ASD 中のディスクリミネータの閾値測定などを行えると期待されている。今回は 100Ω の抵抗で GND に落としている。セットアップを図 3.30 に、結果を図 3.31 に示す。

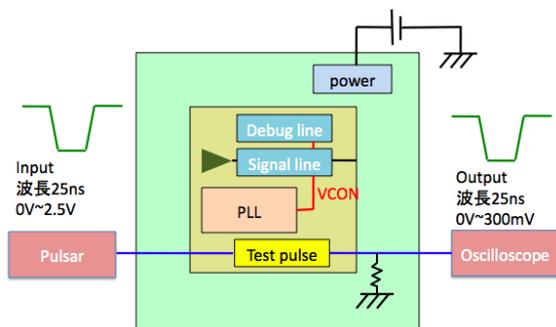


図 3.30 テストパルス回路の動作試験試験セットアップ

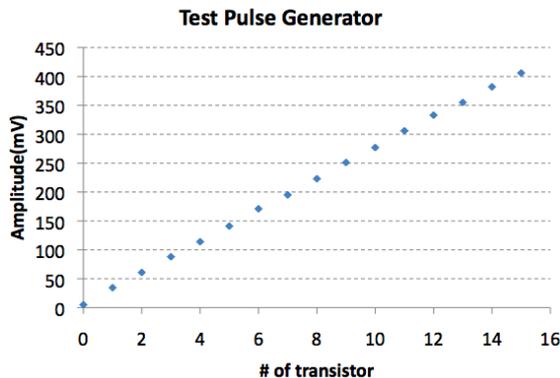


図 3.31 テストパルス回路の動作試験

結果からテストパルス回路は最大電圧 400mV まで十分なリニアリティをもつことが確認できた。

3.5 まとめ

動作検証の結果を、表 3.4 にまとめた。LVDS レシーバに関して Voffset と電源電圧に制限がある。現在の TGC では共に条件を満たす範囲内に収まっているため、十分に性能を満たすと判断した。

回路名	検証項目	実験適応範囲
LVDS レシーバ	LVDS 入力の中心電圧、振幅を変えての伝播時間測定	$0.2V < V_{offset} < 1.7V$
	電源電圧の変化に対する伝播時間測定	$\Delta VDD < 0.2V$
	温度変化に対する伝播時間測定	5 ~40
可変遅延回路 と PLL	外部から VCON を供給して、伝播時間測定	$\Delta VCON < 0.02V$
	VCRO の遅延素子数を変えて、伝播時間測定 電源電圧の変化に対する伝播時間と VCON の測定	表 3.3 参照 $\Delta VDD < 0.4V$
	温度変化に対する伝播時間と VCON の測定	5 ~40
テストパルス回路	出力振幅の測定	○

表 3.4 PP ASIC としての性能測定項目

3.6 Test Element Group ASIC

今回 TEG ASIC 内に用意した TEG ASIC は、PP ASIC と同様 UMC 社の 0.25 μ m プロセスを用いたトランジスタで作成した。測定に用いる NMOS、PMOS、ELT のトランジスタのチャンネル長、チャンネル幅をそれぞれ表 3.5 にまとめた。回路としてはそれぞれのトランジスタのドレインのみ独立になっており、ソース、ゲート、バックゲートは NMOS、PMOS、ELT の単位で共通になっている。

	W[μ m]	L[μ m]
NMOS(PMOS)	10	2
	10	0.24
	1	0.24
ELT	10	2
	10	0.24

表 3.5 測定に使用するトランジスタ

3.6.1 半導体パラメータアナライザ

トランジスタのパラメータ測定は半導体パラメータアナライザというツールを用いて行う。半導体パラメータアナライザの回路図を図 3.32 に示す。トランジスタの測定項目は V_{ds} と I_d の相関と V_{gs} と I_d の相関である。 V_{ds} - I_d 測定的时候は V_{gs} は 0V 2.5V まで 0.5V 刻みで変化させ、それぞれの V_{gs} で V_{ds} を 0~2.5V まで 0.05V 刻みで変化させて、そのときのドレイン電流を読み出す。 V_{gs} - I_d 測定的时候は V_{ds} は最大印可電圧をかけ、 V_{gs} を 0~2.5V まで 0.05V 刻みで変化させて、そのときのドレイン電流を読み出す。

半導体パラメータアナライザを使って作成した V_{gs} - I_d 、 V_{ds} - I_d の例を図 3.33、図 3.34 にそれぞれ示す。

3.6.2 解析方法

半導体パラメータとして主に漏れ電流と動作閾値電圧があげられる。これらはともに V_{gs} - I_d プロットから算出する。今回の研究において、漏れ電流は $V_{gs}=0$ の時の電流量と定義する。図 3.35 に V_{gs} - I_d プロットから得られる漏れ電流を示した。動作閾値電圧は、図 3.33 の電流が流れている部分を 2 次関数 (式 3.2 参照) で

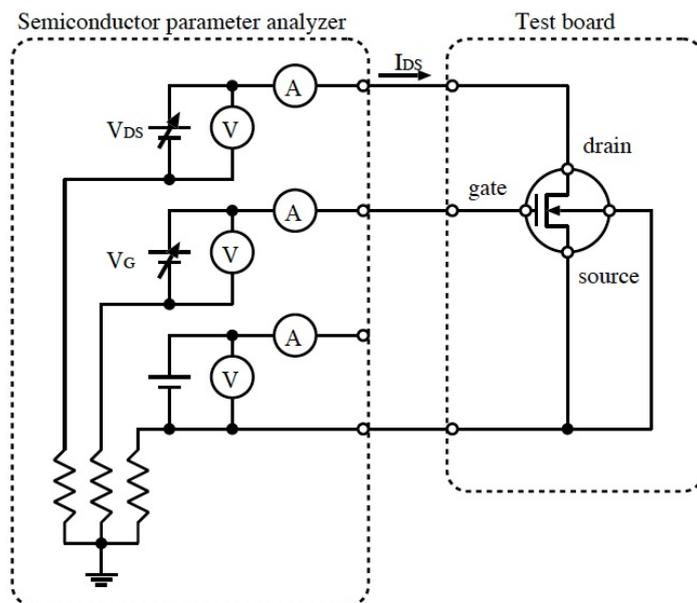


図 3.32 半導体パラメータアナライザの回路

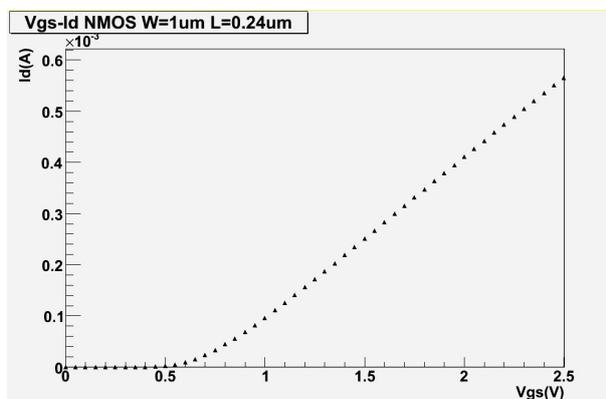


図 3.33 半導体パラメータアナライザを使って作成した NMOS $V_{gs}-I_d$ プロット

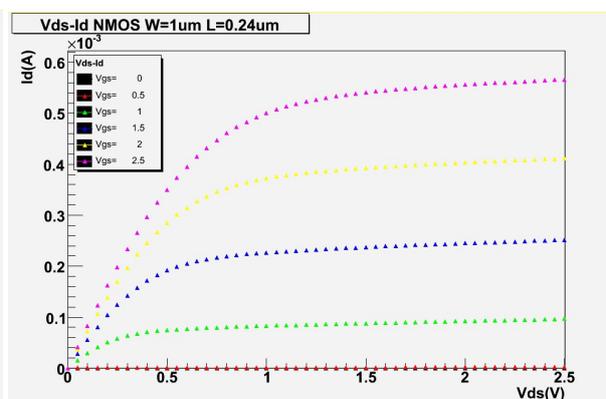


図 3.34 半導体パラメータアナライザを使って作成した NMOS $V_{ds}-I_d$ プロット

フィッティングして、X 軸との交点を求めればいいのだが、チャンネル長変調の効果や、ドレイン、ソースなどの寄生直列抵抗の影響で、 V_{gs} が大きい領域はきれいな関数にはなっていない。そこで、以下の方法で、算出することにした。

1. フィット関数として $Y = C_0(X - C_1)^2$ を準備する (C_0 、 C_1 はそれぞれフィットパラメータ)。
2. フィット範囲を、フィット始点：0.4V~0.65V を 0.05V 刻み、フィット範囲：0.15V~0.6V を 0.05V 刻みでそれぞれ変化させ、それぞれのフィット範囲において χ^2/NDF を取る。
3. χ^2/NDF が最小になるフィット範囲におけるパラメータ C_1 を動作閾値電圧とする。

算出に用いたプロットを図 3.36 に示す。

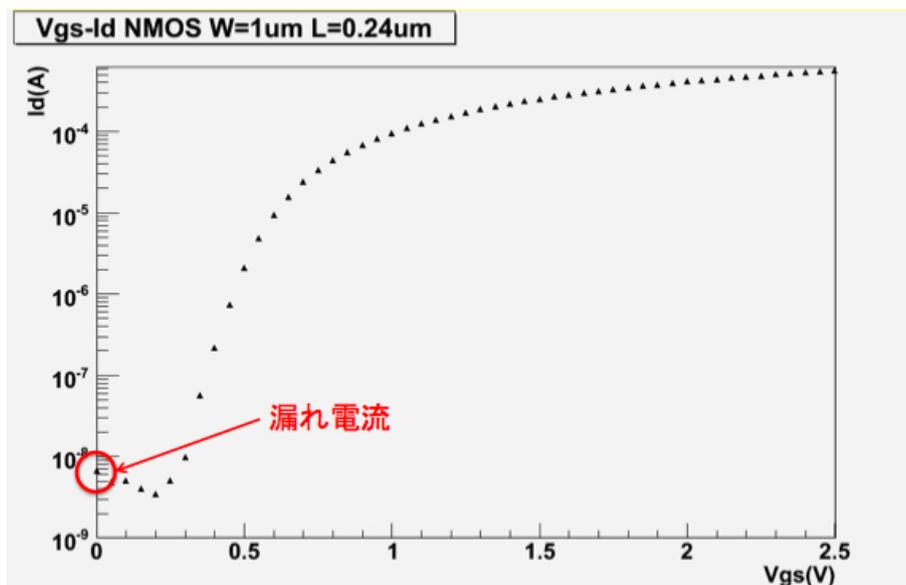


図 3.35 漏れ電流:見やすいように V_{gs} - I_d プロットの縦軸をログにしてある

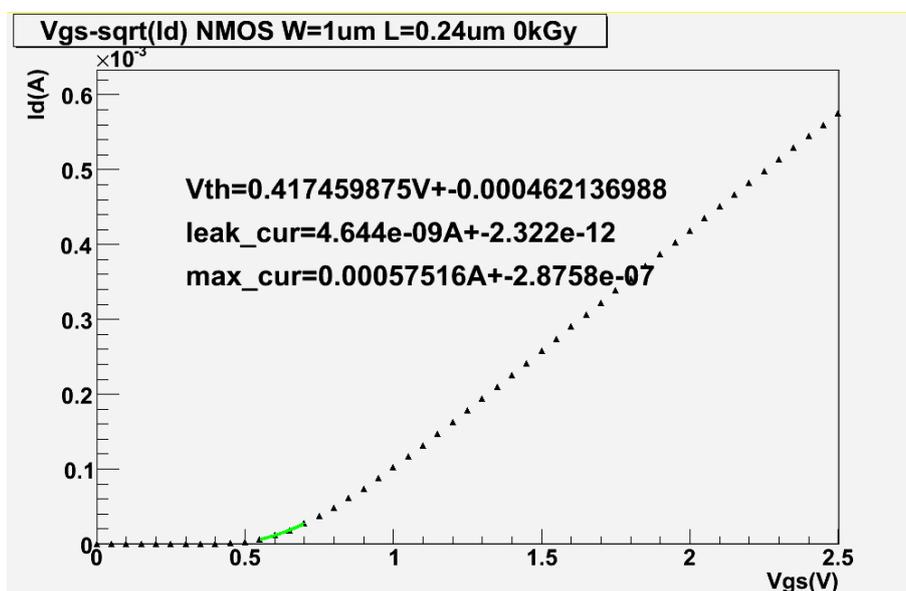


図 3.36 動作閾値電圧の算出: フィット範囲は 0.55V~0.7V の 4 点

これらで定義される漏れ電流と動作閾値電圧が、放射線照射によってどのように変化するかを見る。

4 ASICのガンマ線照射試験

4.1 名古屋大学コバルト 60 照射室

新トリガーシステムでの動作保証のためには、2章で議論した放射線耐性を満たさなければならず、今回は特に TID 耐性に関して評価を行う。目指すべき数値は 1.1kGy であるが、ASIC の設置位置が正確に決まっていないことから 10kGy を照射することにする。それをある程度現実的な時間内に照射できる強度を持った線源が必要である。今回は名古屋大学コバルト 60 照射室のガンマ線源を用いることにした^{*12}。

コバルト 60 照射室は円筒状に配置された線源からの距離で強度を調整できるようになっており、最大で 1.5kGy/h 程度の強度で照射することが可能である。コバルト 60 照射室の写真を図 4.1 に載せた。図 4.1 中央に見える円筒状のものの内部に、円柱状の ^{60}Co の線源が 36 本並べられている。この構成によって全方位での照射試験が可能であるが、36 本の線源は全て同じ強度でないため、線源からの距離が同じでも高さや円周上のどの位置で照射するかによって 10% 程度の誤差が生じることがわかっている。今回は照射量を多めにあてることでそれに対処した。



図 4.1 コバルト 60 照射室内部の写真

4.2 TEG ASIC

まずトランジスタへの TID の影響を見るために TEG ASIC の放射線試験を行う。トランジスタへのバイアス電圧はかけないものと、一番多く影響が出るかけ方のものを測定した。例えば NMOS で一番影響の出るバイアス電圧のかけ方は、ゲート電圧のみ 2.5V、残りのドレイン、ソース、バックゲートは 0V というかけ方になる。まずは NMOS の $W=10\mu\text{m}$ 、 $L=2\mu\text{m}$ のトランジスタにおいて、バイアスの影響を比較した。(図 4.2) 黒がバイアス有り、赤がバイアス無しである。

これによって、バイアスの有無で明らかに振る舞いに違いがあることがわかる。ここから PP の放射線試験の際は、実際にかけるバイアスをかけて試験することにする。次にそれぞれのトランジスタにバイアスをかけ

^{*12} ^{60}Co は半減期 5.27 年で、まず β 崩壊をして第 2 励起状態の ^{60}Ni になる。その後 1.17MeV、1.33MeV の γ 線を放出して基底状態の ^{60}Ni になる。

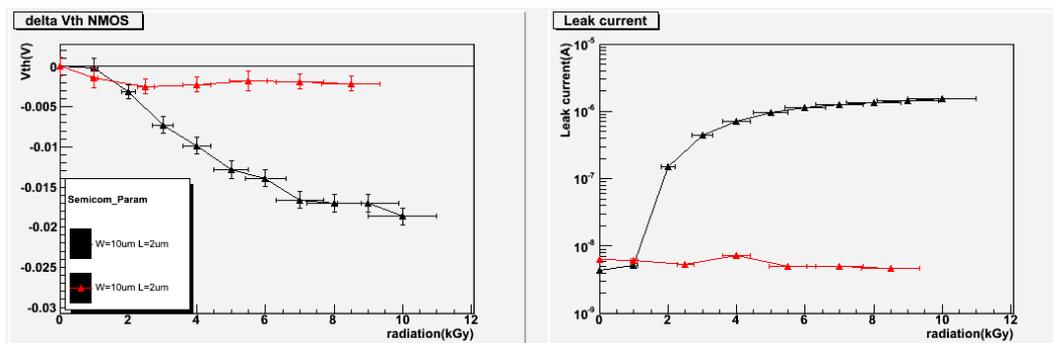


図 4.2 ガンマ線照射におけるバイアスの有無による比較:黒がバイアス有り、赤がバイアス無し

た結果を載せる (NMOS:図 4.3、PMOS:図 4.5、ELT:図 4.4) NMOS のデータで 10kGy の部分で数点あるのは、照射後 12 時間と 36 時間での測定点である。PMOS に関しては照射すると動作閾値電圧が上がるが、漏れ電流は大きく変化しない。

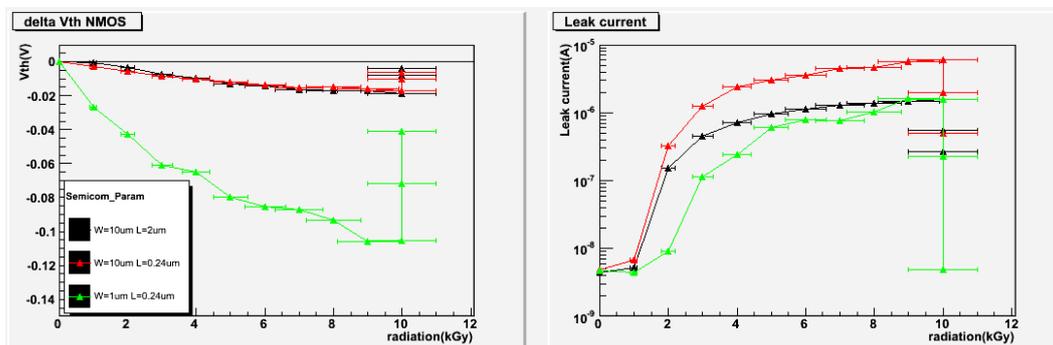


図 4.3 NMOS バイアスの有りでの放射線の影響 左:動作閾値電圧 右:漏れ電流

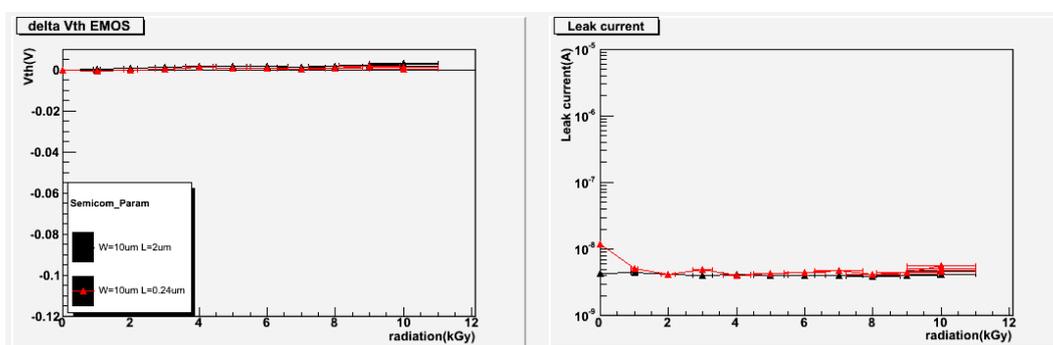


図 4.4 ELT バイアスの有りでの放射線の影響 左:動作閾値電圧 右:漏れ電流

NMOS、PMOS は動作閾値電圧は照射に比例して変化し、NMOS の漏れ電流は、1kGy を超えたところで急激に変化し、100 倍程度になる。ELT に関しては 10kGy 照射した時点でもパラメータに大きな変化は見られない。

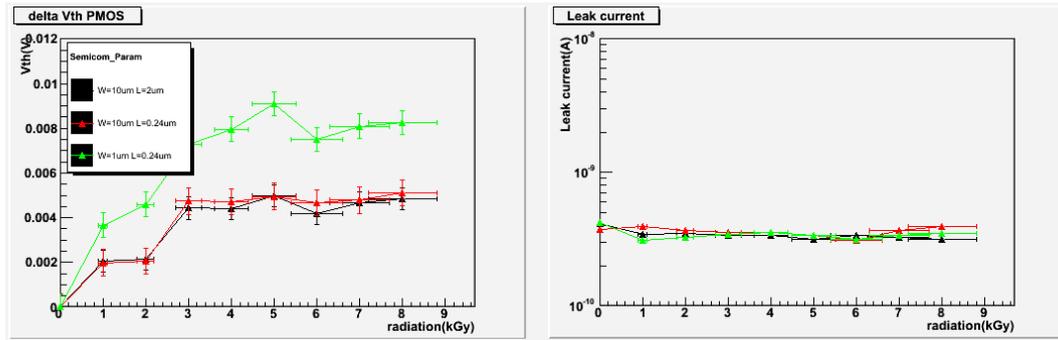


図 4.5 PMOS バイアスの有りでの放射線の影響 左:動作閾値電圧 右:漏れ電流

4.3 PP ASIC

遅延回路としての機能を持つ PP ASIC にとって、MOSFET のパラメータを変化させる TID の耐性は十分にされていないなければならない。測定項目として以下のものを選ぶ。

- シグナルラインの遅延時間
- デバッグラインの遅延時間
- 電源に流れる電流量
- VCON

シグナルライン、デバッグラインに求められるのは、3 章と同様 1ns 以下の遅延保証である。電流電源と VCON は、TID の影響が表れやすい

照射は 1kGy/h の強度で 10 回、計 10kGy 照射した。測定は 1kGy ごとに行い、測定にかかる時間は約 5 分である。それぞれの測定結果を示す。(遅延時間:図 4.6、VCON:図 4.7、電源電流:図 4.8)

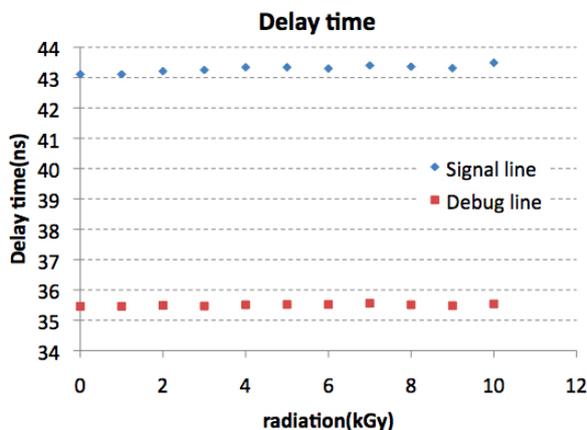


図 4.6 ガンマ線照射中の遅延時間の変化

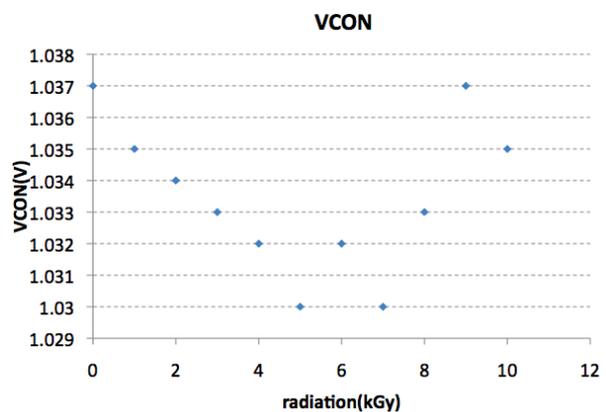


図 4.7 ガンマ線照射中の VCON の変化

結果としてシグナルライン、デバッグラインの遅延時間に 1ns 以上の大きな変化は見られず、10kGy までの照射においては十分に耐性を持っていると言える。VCON にも大きな変化は見られない。電源電流に関して

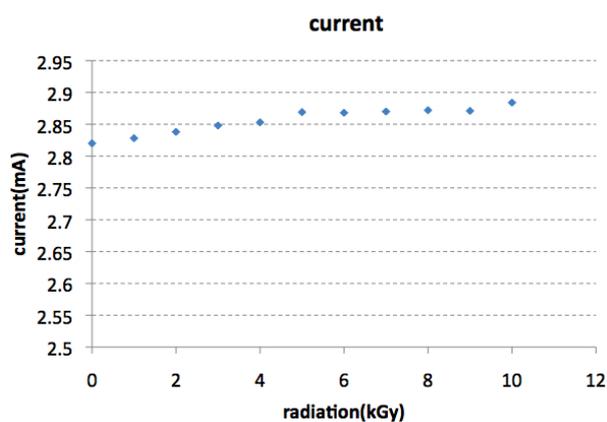


図 4.8 ガンマ線照射中の電源電流の変化

は 10kGy 照射後に 3% 程度の増加が見られるが、遅延時間に影響を与えていないことから許容範囲と考えている。

また 10kGy 照射後に、前章と同様の動作検証も行った。(図 4.9 : LVDS レシーバの性能、図 4.10 : VCON と遅延時間の関係、図 4.11 : 可変遅延回路の性能、図 4.12: テストパルス回路の性能) いずれも遅延時間に致命的な変化は見られない。TPG 回路に関してはトランジスタの動作閾値電圧の変化がそのまま電流量として表れる結果、出力電圧が小さくなっている。

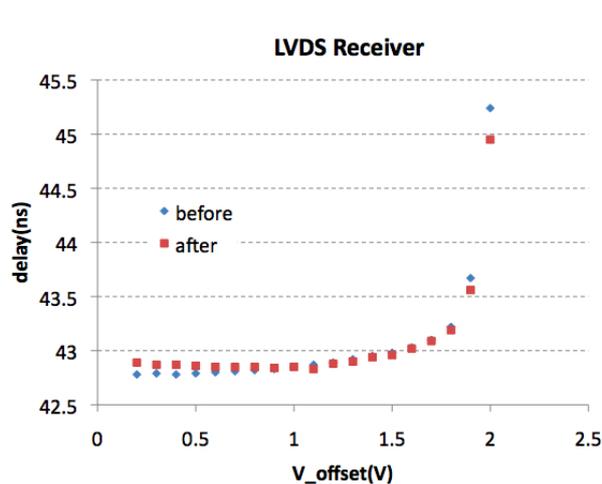


図 4.9 ガンマ線照射前後での LVDS レシーバの変化

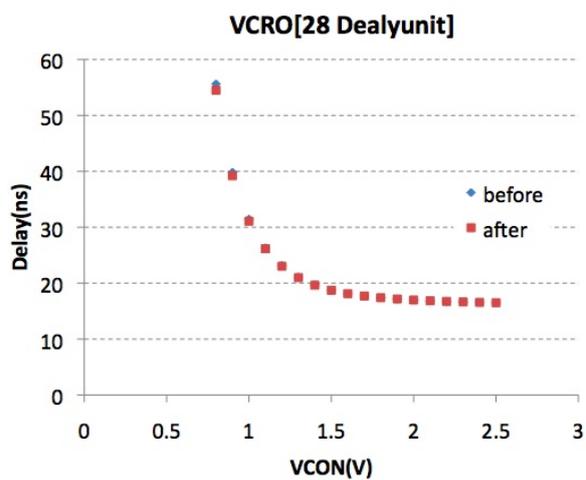


図 4.10 ガンマ線照射前後での VCON と遅延時間の関係の変化

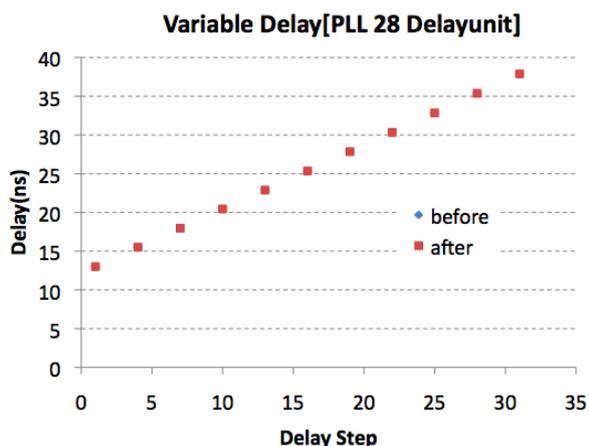


図 4.11 ガンマ線照射前後での可変遅延回路の性能の変化

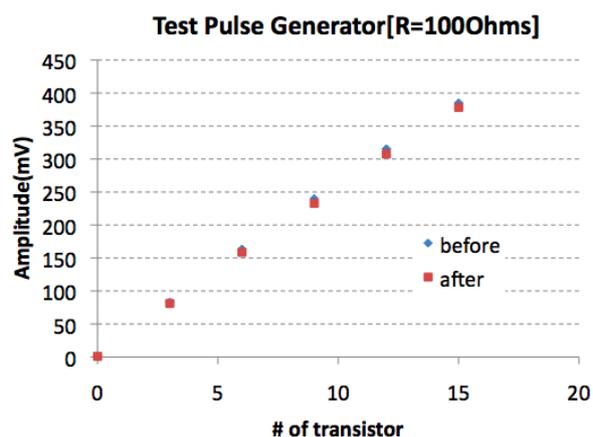


図 4.12 ガンマ線照射前後でのテストパルス回路の変化

4.4 ガンマ線照射試験のまとめ

結果として

- 通常タイプの MOSFET は 1kGy 以上の放射線を被爆すると、漏れ電流に大きな変化が出る
- ELT タイプは 10kGy 照射後もパラメータに変化が見られない
- PP ASIC は 10kGy 照射後も 1ns 以下の遅延保証を持つ可変遅延回路としての性能を満たす

を得た。

PP ASIC は通常タイプのトランジスタで作られているが、10kGy 照射後も性能を満たしている。その理由について、PP のほとんどはデジタル回路で、かつ CMOS で構成されていることが考えられる。遅延素子はインバータで構成されており、常に NMOS と PMOS をセットで使うようになっている。TID の影響は、PMOS に対しては動作速度を遅くするようにはたらく、NMOS に対しては動作速度を速めるようにはたらく。結果として遅延回路に大きな影響はでないと考えられる。PP ASIC 中のアナログ回路にはしっかりと TID の影響が表れている。LVDS レシーバは片方の電流ミラーが NMOS、もう片方が PMOS で構成され、最終出力は NMOS と PMOS に流れる電流の比で決まる。低 Voffset のときは PMOS 側の動作が中心となるので動作が遅く、高 Voffset の時は逆に早くなる。また電流源としてのテストパルス回路にも明らかな変化が出ている。

第一目標であった PP ASIC の動作保証は十分で、10kGy は現在の Inner Station に設置されている MDT の基準から考えると、HL-LHC での 100 年の動作保証に相当する。

5 まとめ

ヒッグス粒子は、既知の素粒子の質量獲得のメカニズム、所謂、「質量起源の謎」の謎を解明する上で鍵となる粒子である。ヒッグス粒子の発見を目指し、陽子陽子衝突型加速器 LHC 実験が 2010 年より物理データの収集を開始した。2013 年までに、重心系エネルギー 14TeV、ルミノシティ $10^{34}\text{cm}^{-2}\text{s}^{-1}$ を達成する。その間に蓄えられる予定の 30fb^{-1} のデータ収集によって、100GeV から 1TeV までの質量を持つヒッグス粒子が発見されることは確実である。ヒッグス粒子発見の後、ヒッグス粒子と素粒子との結合定数を測定し、「質量起源の謎」の定量的理解によいよ挑戦する。2020 年から計画されている高統計 LHC 計画 (HL-LHC 計画) は、積分ルミノシティは 3000fb^{-1} までに増強し、ヒッグス粒子と W/Z ボゾン、トップクォーク、b クォーク、さらにはミューオンとの結合定数を 10~20% の精度で測定することを目標とする次世代の LHC 実験である。

HL-LHC 計画では、ヒッグス粒子生成事象の興味事象の生成断面積が 5 倍に増加する一方で、QCD 事象由来の背景事象が 1 度の衝突の中で 100 事象起こるなど、より過酷な実験環境下で、興味事象を強力に選別するトリガー機構の構築が急務となる。本研究課題であるエンドキャップ部 ($1.05 < \eta < 2.7$) のミューオントリガーでは、現在の LHC 実験よりも 7m 衝突点に近い Inner station 部 ($Z=7.3\text{m}$, 現在は $Z=14.7\text{m}$) に TGC 検出器と位置分解能に優れた MDT 検出器を配置することで、運動量分解能に優れた新しいミューオントリガーシステムの構築を目指す。このシステムによって、具体的には、現在の LHC 実験と同様に高効率で興味事象を抽出しながら、事象収集率を 1/10 に抑制できる。この新しいミューオントリガーシステムは、現行のシステムと比べ、ルミノシティの高輝度化のために 5 倍、検出器をより衝突点に接近させるために 3 倍、全体として 15 倍の放射線被曝量に耐えるシステムでなければならない。

私は、システムの中でトリガータイミングを司る ASIC、Patch Panel ASIC (PP ASIC) の放射線耐性に注目して、ASIC の開発研究を実施した。PP ASIC は、1ns 以下の遅延ステップ、25ns 以上の可変遅延幅で回路のタイミングを調整する回路であり、この回路によって、25ns 毎の衝突頻度の陽子・陽子衝突に対して、ミューオンを含む興味事象のタグ付けが可能となる。よって、HL-LHC 実験の放射線環境下において、1ns 以下の遅延精度を実現しなければならない。絶縁膜厚 5.5nm の MOSFET は、現在より薄い絶縁膜層であるために放射線に強いと考えられる。私はこれに着目して、MOSFET の放射性耐性を単体の MOSFET 回路で確認、絶縁膜厚 5.5nm の MOSFET からなる PP ASIC を作成し、基本動作の確認、さらに、PP ASIC の放射線耐性評価も行った。

結果として

- PP は 10kGy まで 1ns 以下の遅延精度を保証すること
- 高放射線耐性を持つ ELT タイプのトランジスタは 10kGy を超えてもパラメータの変化が無いこと

を得た。PP の動作保証は時間に換算するとおよそ 100 年の稼働保証になる。

今回の研究によって PP ASIC の放射線耐性を保証し、新トリガーシステム、さらに HL-LHC を実現可能なものにした。また今後、同システムや、HL-LHC で必要となるであろう 1krad~10krad の放射線耐性が必要な ASIC の開発に対し、重要なリファレンスを示すことができた。ASIC の高放射線耐性保証は、アップグレードしていく今後の LHC においてさらなる高統計、高エネルギー物理を可能にすると言える。

付録 A MOSFET に放射線が与える影響

(参考文献 [7] より)

放射線が半導体素子に与える影響には、劣化量が積算線量に依存する効果と高エネルギー粒子の単発的な事象によって引き起こされるシングルイベント効果 (SEE) の 2 種類がある。ここでは、それぞれの現象について説明する。

A.1 積算線量による劣化

半導体素子に放射線が定期的に入射すると、正電荷捕獲^{*13}、バルク損傷^{*14}、界面準位生成^{*15}といった現象が起こり、半導体素子の特性を大きく変えてしまう。積算線量による効果は、電離的エネルギー損失によるもの (TID) と非電離的エネルギー損失によるもの (NIEL) とがある。以下にそれぞれについて簡単に説明する。

TID

入射粒子の積算的な電離エネルギー損失を評価した量を TID と呼び、一般的に放射線の効果を吸収線量 (absorbed dose) で測定する。吸収線量は単位質量当たり吸収される放射線のエネルギー量で定義し、単位は Gy などが使われる。TID は、主に電子線や陽子線、ガンマ線などの放射線によって引き起こされる。図付録 A.1 に、ガンマ線が半導体に及ぼす影響を示す。ガンマ線は、半導体プロセス中のゲート部分に用いられる酸化膜に影響を及ぼす。入射したガンマ線によって、酸化膜中に電子と正孔のペアが生成し、このうち正孔は移動度が遅いた取り残され、これが酸化膜中の欠陥に捕獲される (正電荷捕獲) とこれ以上移動しなくなる。その結果、ゲート電圧の閾値の変化を引き起こし、ゲート電圧 (V_{gs}) に電圧を供給してなくてもゲートに正電圧を印加した状態になってしまう。このため、NMOS トランジスタの場合は、 $V_{gs}=0V$ でもゲート電流が流れてしまい、逆に PMOS トランジスタでは、 V_{gs} に規定の電圧を印加してもドレイン電流が流れなくなってしまう。しかしこの現象は、時間の経過に伴って電離状態が消滅する性質 (アニール効果) がある。

また、IC の製造工程上、シリコン (Si) の上に酸化膜 (SiO_2) を形成する時に、ごく微量ではあるが水素原子が混じってしまう。この水素原子がシリコン-酸化膜界面まで移動し、シリコン原子と結合して、 SiH という分子ができる。この分子がシリコン半導体中の欠陥となり、今までにない準位を作り出す (界面準位生成)。界面準位はキャリアの移動度を低下させたり、電圧を印加した結果として誘起されたキャリアを取り込んでしまうため、トランジスタが通過するのを送らせたり、導通後の電導度を低下させ、回路全体の動作速度の低下を引き起こす。水素原子の移動度が遅いため、界面準位は生成まで生成までに相当時間がかかり、長期間に渡って影響を及ぼすことになる。最後に TID の影響によるトランジスタの電気的特性の変化を図付録 A.2 に示す。

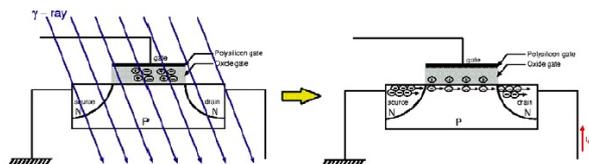
NIEL

NIEL は、入射粒子の非電離エネルギー損失による積算的評価のことで、一般的に等価フルエンスを用いて評価する。等価フルエンスとは、入射粒子のエネルギーや種類に依らず、それらを 1 つの標準的な粒子とエネルギーに統一するための量で、半導体素子の場合、バルク損傷が非電離エネルギーの格子への転移により生成するという仮定に基づき、あらゆる粒子のフルエンスは等価 1MeV の中性子に帰着さ

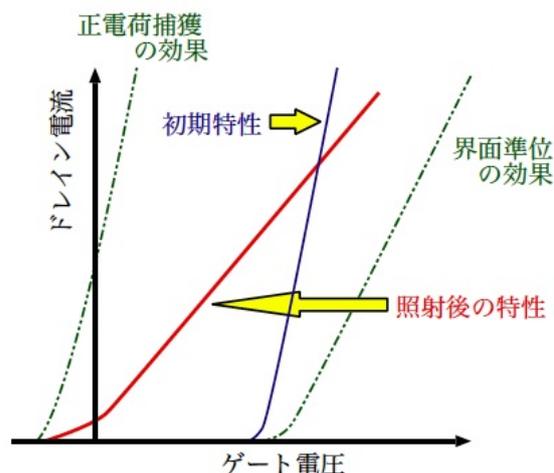
^{*13} 放射線が酸化膜中の電子を弾き出した後に酸化膜中の電子を弾き出した後に酸化膜中に正孔が残ってしまい、あたかも正孔が捕獲されるように見える現象

^{*14} 放射線の通過によって、シリコンの結晶構造が部分的に壊れてしまう現象

^{*15} シリコン基板と酸化膜などという異なる物質が接触している面に本来ある電気準位とは違う準位が生成されてしまう現象



図付録 A.1 ガンマ線が NMOS トランジスタに与える影響



図付録 A.2 TID による NMOS の特性変化

れる。

A.2 シングルイベント効果 (SEE)

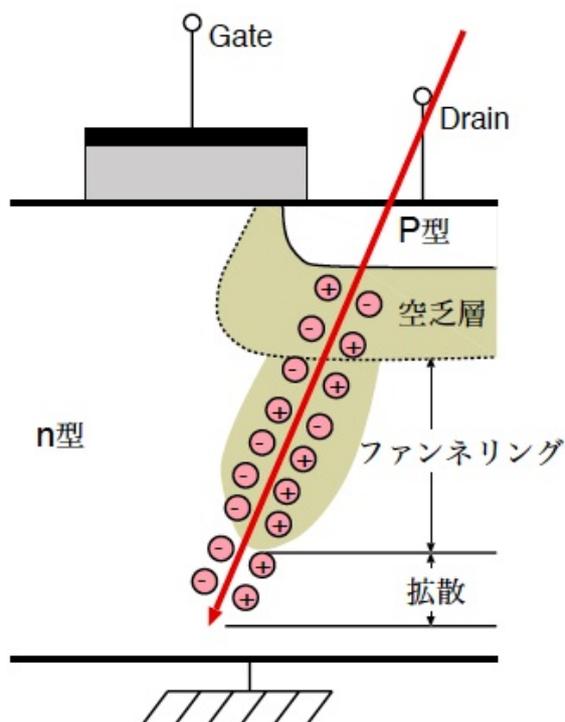
SEE は、吸収線量に比例して損傷の程度も大きくなる積算的な効果と異なり、単発の高エネルギーのハドロン粒子によって、引き起こされる現象である。SEE には、半導体デバイスが一時的に誤動作するもの (SEU) と半導体デバイスが永久的に故障してしまうもの (SEL/SEB) の 2 種類の現象がある。以下にそれらの現象について簡単に説明する。

SEU(Single Event Upset)

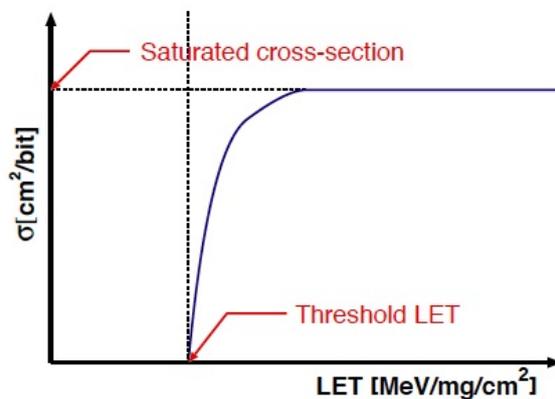
SEU は、集積回路に流れている電荷量が小さいために、高エネルギーのハドロン粒子の通過によって生じる電荷量が、集積回路に流れている電荷量と同程度になり、メモリ端子などで記憶している情報が反転するなどの誤動作を起こす現象である。図付録 A.3 で示すように、p-n 結合部の空乏層領域に高エネルギー粒子が入射すると、空乏層内に共有結合されている電子が弾き飛ばされ、電子と正孔のペアが生成し、逆バイアスされている電場に向かって電子は + 方向へ、正孔は - 方向へ移動する。この電子と正孔の流れが電流になり、カットオフ状態のトランジスタが ON になってしまう。この現象がメモリセル内で起こると、フリップフロップの値が反転するなどの現象が起きる。この記憶情報を反転させるのに必要な最小電荷を臨海電荷 (Q_C) と呼び、この値は半導体部品の構造や集積度に依存する。また回路に吸収される電荷は、荷電粒子の種類やエネルギーに依存する。しかし、図付録 A.4 に示すように、単位長さ当たり失うエネルギー LET(Liner Energy Transfer) が、大きくなると SEU の反応段面積は飽和してしまうので、ある程度の高エネルギーの粒子であれば、SEU の発生確率を評価するのに荷電粒子のエネルギーの依存性は無視して考えて良い。また図付録 A.4 において、グラフの曲線と横軸が交わる点は、スレッシュホールド LET と呼ばれ、荷電粒子が電離で失ったエネルギーが Q_C と等しくなる点である。

SEL(Single Event Latchup)/SEB(Single Event Burnout)

半導体素子が永久に壊れてしまう現象には、SEL、SEB などがある。SEL の発生メカニズムは基本的には、SEU と同じであるが、違う点としては、メモリセル以外の部分でも起こることである。現象とし

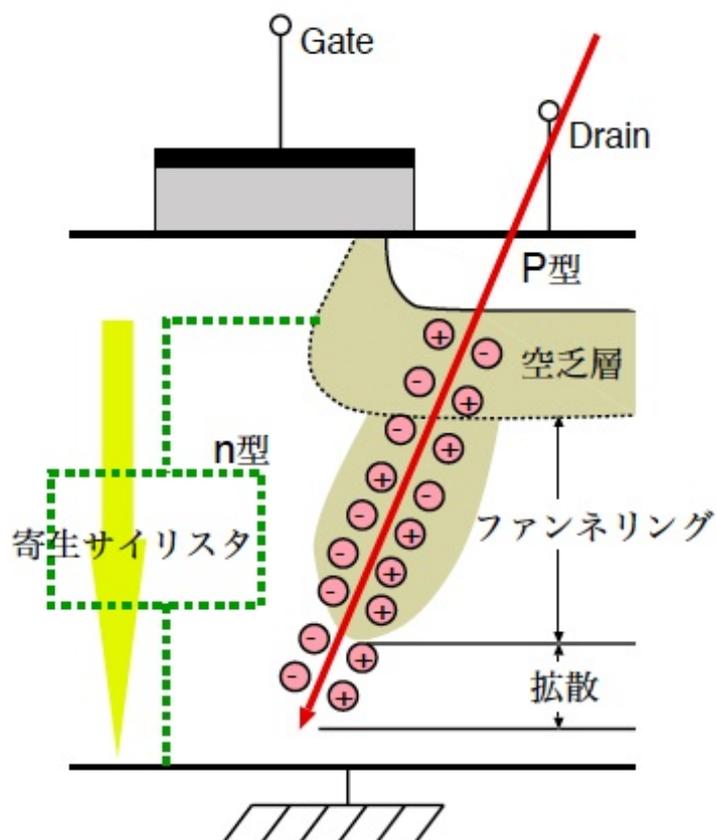


図付録 A.3 SEU の発生メカニズム



図付録 A.4 SEU 発生確率の LET 依存性

では、図付録 A.5 で示すように、ある一定以上の電荷が発生した場合、半導体素子の製造工程等で生成される pnpn 型のサイリスタ構造の下側にある npn 結合の寄生トランジスタのスイッチが勝手に動作し、ON 状態になってしまう。これによって、寄生サイリスタには大電流が流れ続けることになり、最悪の場合はジュール熱により半導体デバイスが永久的に故障してしまう恐れがある。また、SEB は主にパワー MOSFET で起こる現象で、電離によって形成される電子-正孔のうち、移動の遅い正孔が原因で引き起こされる現象である。ATLAS 実験では、SEL/SEB が発生しないようなシステムを設計していかなければならない。



図付録 A.5 SEL の発生メカニズム

参考文献

- [1] T. Hambye and K. Riesselmann, PRD 55, 7255 1997
- [2] arXiv:1007.4587v1 [hep-ex] 26 Jul 2010
- [3] M. Spira and P. Zerwas, hep-ph/9803257
- [4] Expected Performance of the ATLAS Experiment Detector, Trigger and Physics , CERN-OPEN-2008-020 Dec 2008
- [5] Prospects for the measurement of Higgs boson coupling parameters in the mass range from 110 - 190 GeV/c^2 , Michael Duhrssen Sep, 2003
- [6] arXiv:hep-ph/0206024v1 3 Jun 2002
- [7] 竹本享史 修士論文 ATLAS 実験のアップグレードに向けた高放射線耐性を持つ μ 粒子トリガー回路系 ASIC の開発研究 , 2003
- [8] P. Jarron, A. Paccagnella RD49 Status Report Study of the Radiation Tolerance of ICs for LHC , 1997
- [9] Osamu Jinnouchi, Osamu Sasaki Study On muon level-1 trigger scheme for TGC , 1998